

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-298194
 (43)Date of publication of application : 26.10.2001

(51)Int.Cl. H01L 29/786
 H01L 29/41

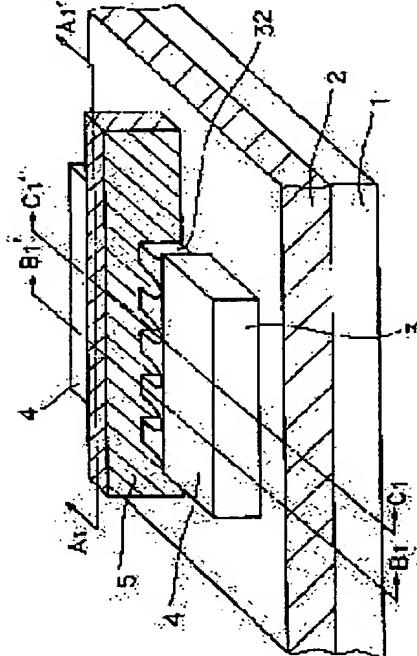
(21)Application number : 2000-113642 (71)Applicant : NEC CORP
 (22)Date of filing : 14.04.2000 (72)Inventor : KO RISHO

(54) FIELD EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To easily apply a vertical field effect transistor to an LSI by providing a structure in common, highly, with a conventional one in shape and forming process of a source/drain region and a gate electrode.

SOLUTION: A conductive path of a semiconductor is arrayed in a fixed direction on an insulator, and source/drain regions are so provided as to face each other in the direction vertical to the array direction of the conductive path. The two source/drain regions are connected with the conductive path, and a gate electrode is provided at the central part of a semiconductor layer constituting each conductive path through an insulating film. A region where a gate electrode is formed through the insulating film on both sides of the semiconductor layer constituting each conductive path, constitutes a channel formation region. The gate electrode is so provided in the array direction of the conductive path as to stride over the central part of a plurality of conductive paths. Related to each conductive path, both sides of the semiconductor layer constituting the conductive path are main continuity path, and the width of each conductive path is wide at a part contacting the source/drain region and narrow near the channel formation region.



LEGAL STATUS

[Date of request for examination] 09.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3543946

[Date of registration] 16.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-298194
(P2001-298194A)

(43)公開日 平成13年10月26日 (2001.10.26)

(51) Int.Cl. ⁷	識別記号	F I	テマコト ⁸ (参考)
H 01 L 29/786		H 01 L 29/78	6 1 8 C 4 M 1 0 4
29/41		29/44	Z 5 F 1 1 0
		29/78	6 1 7 K

審査請求 有 請求項の数25 ○ L (全 31 頁)

(21)出願番号 特願2000-113642(P2000-113642)

(22)出願日 平成12年4月14日 (2000.4.14)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 黄 俐昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100088328

弁理士 金田 幡之 (外2名)

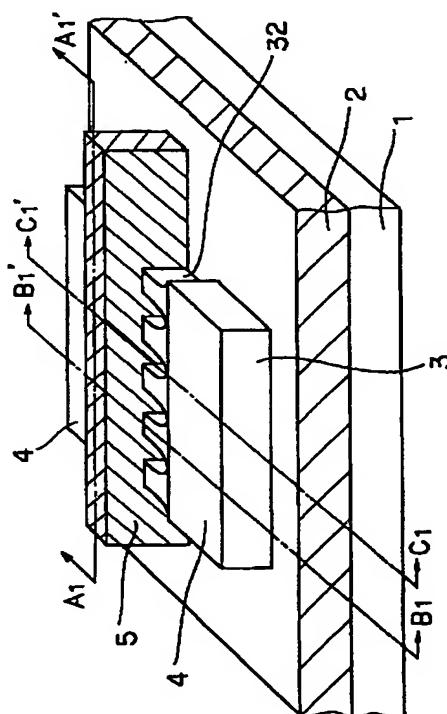
最終頁に続く

(54)【発明の名称】電界効果型トランジスタ及びその製造方法

(57)【要約】

【課題】ソース／ドレイン領域やゲート電極の形状、その形成プロセスに、従来構造と高い共通性を持たせ、縦型電界効果型トランジスタのLSIへの適用を容易とする。

【解決手段】絶縁体上に、半導体の伝導経路が一定方向に配列され、伝導経路の配列方向に垂直な方向に対向するようにソース／ドレイン領域が設けられ、二つのソース／ドレイン領域は前記伝導経路により接続され、各伝導経路を成す半導体層の中央部に、絶縁膜を介してゲート電極が設けられ、各伝導経路を成す半導体層の両側面に絶縁膜を介してゲート電極が形成された領域はチャネル形成領域を成し、ゲート電極は、複数の伝導経路の中央部を跨ぐように、伝導経路の配列方向に沿って設けられ、各伝導経路においては、伝導経路を成す半導体層の両側面が主たる導通経路となり、各伝導経路の幅はソース／ドレイン領域に接する部分では大きく、チャネル形成領域付近では小さい構成とする。



【特許請求の範囲】

【請求項1】 絶縁体上に、半導体からなる複数の伝導経路が一定方向に配列され、

前記複数の伝導経路を挟んで、これら伝導経路の配列方向に垂直な方向に互いに対向するようにソース／ドレイン領域が設けられ、これら二つのソース／ドレイン領域は前記複数の伝導経路により導通するように接続され、前記の各伝導経路を成す半導体層の少なくともその中央部を含む領域に、絶縁膜を介してゲート電極が設けられ、前記の各伝導経路を成す半導体層の両側面に絶縁膜を介してゲート電極が形成された領域はチャネル形成領域を成し、

前記ゲート電極は、少なくとも前記複数の伝導経路の中央部を跨ぐように、これら伝導経路の配列方向に沿って設けられ、

前記の各伝導経路においては、伝導経路を成す前記半導体層の両側面が主たる導通経路となることを特徴とする電界効果型トランジスタ。

【請求項2】 前記二つのソース／ドレイン領域を結ぶ導通方向に対して垂直な断面において、前記の各伝導経路を成す半導体層の高さが、該半導体層の幅と同じであるか、より大きいことを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】 前記の各伝導経路を成す半導体層の少なくともその中央部を含む領域に、絶縁膜を介してゲート電極が設けられた構成部分において、伝導経路を成す前記半導体層の上部には、該半導体層の両側面に形成された絶縁膜の厚さより厚い絶縁膜が設けられ、該厚い絶縁膜の上部にゲート電極が配置されていることを特徴とする請求項1又は2記載の電界効果型トランジスタ。

【請求項4】 前記の各伝導経路を成す半導体層の上部に形成される前記の厚い絶縁膜の少なくとも一部がSi₃N₄膜で構成されていることを特徴とする請求項3記載の電界効果型トランジスタ。

【請求項5】 前記二つのソース／ドレイン領域を結ぶ導通方向に対して垂直な断面における前記の各伝導経路を成す半導体層の幅は、前記二つのソース／ドレイン領域からほぼ等距離の位置の幅より、ソース／ドレイン領域に近い位置の幅が大きいことを特徴とする請求項1～4のいずれか1項に記載の電界効果型トランジスタ。

【請求項6】 ゲート電極下部の絶縁体が掘り下げられ、この掘り下げられた絶縁体上のゲート電極の下面が、前記伝導経路を成す各半導体層の下面より下に位置することを特徴とする請求項1～5のいずれか1項に記載の電界効果型トランジスタ。

【請求項7】 前記複数の伝導経路は、前記絶縁体上の半導体層に一定方向に配列形成された開口部により互いに分離された半導体層部分より成ることを特徴とする請求項1～6のいずれか1項に記載の電界効果型トランジスタ。

【請求項8】 前記の各開口部の配列方向の幅は、二つのソース／ドレイン領域からほぼ等距離の位置の幅より、ソース／ドレイン領域に近い位置の幅が小さいことを特徴とする請求項7記載の電界効果型トランジスタ。

【請求項9】 ゲート電極が配置される位置から離れるに従って、前記の各開口部の配列方向の幅が一定の傾斜を持ち狭くなる形状を、前記の各開口部の基板平面への投影形状の少なくとも一部に持つことを特徴とする請求項7又は8記載の電界効果型トランジスタ。

10 【請求項10】 前記の各開口部の基板平面への投影形状が、ソース／ドレイン領域に隣接する位置において弧を描いていることを特徴とする請求項7又は8記載の電界効果型トランジスタ。

【請求項11】 前記の各開口部の基板平面への投影形状が、円形であることを特徴とする請求項7又は8記載の電界効果型トランジスタ。

【請求項12】 前記の各開口部の基板平面への投影形状が、ほぼ正方形であり、且つ開口部の配列方向に対してほぼ45度傾いていることを特徴とする請求項7又は8記載の電界効果型トランジスタ。

20 【請求項13】 前記の各伝導経路を成す半導体層が、単結晶で構成されている請求項1～12のいずれか1項に記載の電界効果型トランジスタ。

【請求項14】 請求項1～13のいずれか1項に記載の電界効果型トランジスタの製造方法であって、絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、該マスク膜に開口が一定方向に配列した開口パターンを形成する工程と、前記開口パターンの少なくとも一部を含む所定の領域が残るように前記マスク膜をバーニングする工程と、バーニングされたマスク膜をマスクとして前記半導体層をバーニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法。

30 【請求項15】 前記開口パターンは、開口配列方向の両端に余分に開口を配列したパターンとし、前記マスク膜をバーニングする工程において、前記開口パターンの余分に形成した開口が残らないようにバーニングすることを特徴とする請求項14記載の電界効果型トランジスタの製造方法。

【請求項16】 請求項1～8又は請求項12若しくは13のいずれか1項に記載の電界効果型トランジスタの製造方法であって、絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、

第二のマスク材料を前記マスク膜の上に堆積する工程と、一定の間隔を隔てて配列する矩形状に前記第二のマスク材料を加工する工程と、

矩形の第二のマスク材料の両端部において、複数の矩形の第二のマスク材料の一方の端を含む一定の領域を覆うレジストパターンを設け、該レジストパターン及び第二のマスク材料の両者に対して選択的に、露出している前記マスク膜をエッチングすることにより、開口が一定方向に配列した開口パターンを有するように前記マスク膜をパターンニングする工程と、

パターニングされたマスク膜をマスクとして前記半導体層をパターニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法。

【請求項17】 請求項1～8又は請求項12若しくは13のいずれか1項に記載の電界効果型トランジスタの製造方法であって、

絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、

一定の間隔を隔てて配列するマスク形成用ダミーパターンを前記マスク膜上に設ける工程と、

前記マスク形成用ダミーパターン上に第二のマスク材料を堆積し、第二のマスク材料をエッチバックすることにより、マスク形成用ダミーパターン周辺に第二のマスク材料の側壁を形成し、続いてマスク形成用ダミーパターンを除去して、マスク膜上に前記側壁を残存させる工程と、

前記側壁を構成する第二のマスク材料の両端部において、複数の第二のマスク材料の一方の端を含む一定の領域を覆うレジストパターンを設け、該レジストパターン及び第二のマスク材料の両者に対して選択的に、露出している前記マスク膜をエッチングすることにより、開口が一定方向に配列した開口パターンを有するように前記マスク膜をパターンニングする工程と、

パターニングされたマスク膜をマスクとして前記半導体層をパターニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法。

【請求項18】 半導体層をパターニングする前記工程にて半導体層に形成された開口部が配列する方向に、開口部により互いに分離された複数の半導体層部分を跨ぐようにゲート電極またはダミーゲート電極を設ける工程を有することを特徴とする請求項14～17のいずれか1項に記載の電界効果型トランジスタの製造方法。

【請求項19】 前記伝導経路を成す半導体層部分への不純物導入は、半導体層をパターニングする前記工程にて半導体層に形成された各開口部の内壁に高濃度の不純物を含む材料を付着させ、次いで熱処理により前記高濃度の不純物を含む材料から前記半導体層部分へ不純物を拡散導入させることを特徴とする請求項14～18のいずれか1項に記載の電界効果型トランジスタの製造方法。

【請求項20】 半導体層をパターニングする前記工程

にて形成された各開口部内に露出した前記絶縁体を所定の深さまでエッチングすることを特徴とする請求項14～19のいずれか1項に記載の電界効果型トランジスタの製造方法。

【請求項21】 半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面に對して水素アニールを実施することを特徴とする請求項14～20のいずれか1項に記載の電界効果型トランジスタの製造方法。

10 【請求項22】 半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面をSiO₂膜で覆い、温度1200℃以上、1時間以上の熱処理を実施することを特徴とする請求項14～21のいずれか1項に記載の電界効果型トランジスタの製造方法。

【請求項23】 半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、レーザービームによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする請求項14～21のいずれか1項に記載の電界効果型トランジスタの製造方法。

20 【請求項24】 半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、電子ビームによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする請求項14～21のいずれか1項に記載の電界効果型トランジスタの製造方法。

30 【請求項25】 半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、電気ヒータによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする請求項14～21のいずれか1項に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 縱型電界効果型トランジスタ構造及びその製造方法に関する発明である。特にLSIを構成する微細な縱型電界効果型トランジスタに関する発明である。また、特に半導体層の両側にゲート電極を持つ、ダブルゲート縱型電界効果型トランジスタに関する発明である。

【0002】 特にゲート電極形状に対する制御性と、半導体層厚さに対する制御性を両立させることを目的とする。

【0003】

【従来の技術】 シリコンウェハなどの基板上に設けられた絶縁層上に形成される電界効果型トランジスタにおい

て、基板上面に対してほぼ垂直な平面に、主たるチャネルが形成される構造が、長谷川によって公開特許公報昭64-8670号第4図に、間によって公開特許公報昭64-27270号第2図に、久本によって公開特許公報平2-263473号第1図に、八木下によって公開特許公報平10-93093にそれぞれ記述されている。

【0004】その構造を図50を用いて説明する。半導体基板101上に絶縁体102が設けられ、その上部に直方体の半導体層103が設けられる。半導体層103の表面にはゲート絶縁膜104が設けられ、表面にゲート絶縁膜104が形成された半導体層103を跨いで、ゲート電極105が設けられる。但しここで半導体層103の表面とは、半導体層の上面及び側面をいう。ゲート電極105を挟んだ両側の半導体層103は高濃度の不純物が導入されたソース／ドレイン領域を成す。図50では、直方体の半導体層103のうち、ゲート電極に対して手前側と奥側に位置する部分が、高濃度の不純物を含むソース／ドレインとなる。適当なゲート電圧をゲート電極に印加することにより、直方体の半導体層103の側面に主たるチャネルが形成される。半導体層103の上面にはチャネルが形成されてもその幅が狭いために、伝導には支配的でない。通常の半導体層の高さ（図50中のa）は、チャネル電流が流れる方向に垂直な面内における直方体の幅（図50中のb）よりも大きい。なお、図50は公開特許公報昭64-8670号第4図に基づいた。図50の構造において、半導体層の幅（図50のb）を、両側面のチャネルから半導体層の内部に向かって形成される空乏層幅の合計よりも小さくすることで、動作特性に優れた完全空乏化型のMOSFETが得られる。また、チャネルが形成される半導体層の両側にゲートを持つ完全空乏化型のMOSFETは、短チャネル効果の抑制に優れるという特徴を持つ。

【0005】従来の製造方法では、まず最初に絶縁体102上に直方体の半導体層103が配置される構造を何らかの方法により形成し、続いて半導体層103の表面を熱酸化してゲート絶縁膜104を設け、続いてゲート電極材料を堆積したのち、これをエッチングにより加工し、ゲート電極105を形成するという手順により、図50の形状を得る。

【0006】

【発明が解決しようとする課題】（第一の課題）ソース／ドレインとチャネルとの位置関係が、通常のMOSFETと異なるため、LSIにおけるMOSFETの配置パターンが、従来のMOSFETの場合と互換でない。このため、LSI中におけるトランジスタの配置を、従来のものと変更しなければならない。また、ソース／ドレインの形状が異なるため、不純物の導入、シリサイドの形成等ソース／ドレインの形成に係わる工程に通常の方法が適用できない。また、チャネル幅を変えるために

はトランジスタの高さを変えなければならないが、一つのウェハ上に様々なチャネル幅を持つトランジスタを混在させるためには、様々な高さを持つ半導体層を混在させる必要があり、その結果ウェハ内に不規則な凹凸が発生するため、加工が極めて困難になる。

【0007】具体的には、通常の電界効果型トランジスタでは、チャネルは半導体層の上面に形成されるのに対して、図50の構造では直方体の半導体層103の側面が主に伝導に寄与するチャネルとなる。このため、チャネルに接続するソース／ドレイン領域も縦長の形状を持つ。一方、通常の電界効果型トランジスタでは図52の上面図に示すように、基板平面に平行な方向に平坦なソース／ドレイン領域を持つ。このため、図50の電界効果型トランジスタは、基板面への投影パターンが通常のものとは著しく異なるので、通常のトランジスタを想定して配置された回路パターンを用いることができない。また、ソース／ドレイン領域の表面が基板平面に平行な平坦面に無いので、ソース／ドレイン及びその周辺部の構造を形成するための工程を、通常のトランジスタに対して行う場合と、同じ条件で行うことができない。ソース／ドレインを形成するためのイオン注入工程においては、角度の大きな斜めイオン注入等、半導体の側面に不純物を導入する手段が必要となる。また、ソース／ドレイン領域の寄生抵抗を削減するために、ソース／ドレイン領域上に半導体層をエピタキシャル成長させる手段や、シリサイド化工程を実施する手法が提案されていない。また、寄生抵抗を低減するためにソース／ドレイン領域表面にシリサイドを形成する工程も、通常の手順で行うことができない。

【0008】従って、チャネル面が基板平面に対してほぼ垂直となる縦型電界効果型トランジスタにおいても、従来のMOSFETと配置パターンが互換となるトランジスタ構造が望まれる。

【0009】（第二の課題）通常の縦型電界効果型トランジスタにおいて、チャネル幅を大きくしようとすると、半導体層の高さを大きくする必要がある。この結果、素子の凹凸が大きくなり、加工が困難になるという問題が生じる。例えば、半導体層の上下方向に均一に不純物を導入することが難しくなる。また、半導体層の上下方向に対してゲート寸法を均一に保つことが困難になる。この問題は、チャネル幅を单一とする場合においても、単にチャネル幅を大きくしようとすれば発生してしまう。また、素子の凹凸が大きくなると、チャネルが形成される半導体層の基板平面方向の厚さを、チャネルが形成される半導体層の上下方向に対して、均一にすることが困難になる。

【0010】また、通常のトランジスタでは、形成する素子の幅を変えることにより、チャネル幅を変えられるが、縦型電界効果型トランジスタではチャネル幅を変えるためにはトランジスタの高さを変える必要がある。従

ってチャネル幅の異なるトランジスタを一つのLSIに混在させると、高さの異なるトランジスタが混在することになる。この場合、素子の製造時にチャネル幅に応じた異なるエッティング条件、イオン注入条件を混在させる必要が生じ、加工が極めて複雑となる。

【0011】従って、チャネル幅を大きくした場合にも、素子の凹凸が大きくならず、またチャネル幅の異なるトランジスタが混在した場合にも、トランジスタの高さが変化しないトランジスタ構造が望まれる。

【0012】(第三の課題)通常の縦型電界効果型トランジスタでは、ソース／ドレイン領域が薄膜領域に形成されるので、ソース／ドレイン領域の寄生抵抗が増す。従って、ソース／ドレイン領域の寄生抵抗が小さい、縦型電界効果型トランジスタ構造が要求される。

【0013】

【課題を解決するための手段】本発明は、絶縁体上に、半導体からなる複数の伝導経路が一定方向に配列され、前記複数の伝導経路を挟んで、これら伝導経路の配列方向に垂直な方向に互いに對向するようにソース／ドレイン領域が設けられ、これら二つのソース／ドレイン領域は前記複数の伝導経路により導通するように接続され、前記の各伝導経路を成す半導体層の少なくともその中央部を含む領域に、絶縁膜を介してゲート電極が設けられ、前記の各伝導経路を成す半導体層の両側面に絶縁膜を介してゲート電極が形成された領域はチャネル形成領域を成し、前記ゲート電極は、少なくとも前記複数の伝導経路の中央部を跨ぐように、これら伝導経路の配列方向に沿って設けられ、前記の各伝導経路においては、伝導経路を成す前記半導体層の両側面が主たる導通経路となることを特徴とする電界効果型トランジスタに関する。

【0014】また本発明は、前記二つのソース／ドレイン領域を結ぶ導通方向に対して垂直な断面において、前記の各伝導経路を成す半導体層の高さが、該半導体層の幅と同じであるか、より大きいことを特徴とする上記本発明の電界効果型トランジスタに関する。

【0015】また本発明は、前記の各伝導経路を成す半導体層の少なくともその中央部を含む領域に、絶縁膜を介してゲート電極が設けられた構成部分において、伝導経路を成す前記半導体層の上部には、該半導体層の両側面に形成された絶縁膜の厚さより厚い絶縁膜が設けられ、該厚い絶縁膜の上部にゲート電極が配置されていることを特徴とする上記本発明の電界効果型トランジスタに関する。

【0016】また本発明は、前記の各伝導経路を成す半導体層の上部に形成される前記の厚い絶縁膜の少なくとも一部がSi₃N₄膜で構成されていることを特徴とする上記本発明の電界効果型トランジスタに関する。

【0017】また本発明は、前記二つのソース／ドレイン領域を結ぶ導通方向に対して垂直な断面における前記

の各伝導経路を成す半導体層の幅は、前記二つのソース／ドレイン領域からほぼ等距離の位置の幅より、ソース／ドレイン領域に近い位置の幅が大きいことを特徴とする上記本発明の電界効果型トランジスタに関する。

【0018】また本発明は、ゲート電極下部の絶縁体が掘り下げられ、この掘り下げられた絶縁体上のゲート電極の下面が、前記伝導経路を成す各半導体層の下面より下に位置することを特徴とする上記本発明の電界効果型トランジスタに関する。

10 【0019】また本発明は、前記複数の伝導経路は、前記絶縁体上の半導体層に一定方向に配列形成された開口部により互いに分離された半導体層部分より成ることを特徴とする上記本発明の電界効果型トランジスタに関する。

【0020】また本発明は、前記の各開口部の配列方向の幅は、二つのソース／ドレイン領域からほぼ等距離の位置の幅より、ソース／ドレイン領域に近い位置の幅が小さいことを特徴とする上記本発明の電界効果型トランジスタに関する。

20 【0021】また本発明は、ゲート電極が配置される位置から離れるに従って、前記の各開口部の配列方向の幅が一定の傾斜を持ち狭くなる形状を、前記の各開口部の基板平面への投影形状の少なくとも一部を持つことを特徴とする上記本発明の電界効果型トランジスタに関する。

【0022】また本発明は、前記の各開口部の基板平面への投影形状が、ソース／ドレイン領域に隣接する位置において弧を描いていることを特徴とする上記本発明の電界効果型トランジスタに関する。

30 【0023】また本発明は、前記の各開口部の基板平面への投影形状が、円形であることを特徴とする上記本発明の電界効果型トランジスタに関する。

【0024】また本発明は、前記の各開口部の基板平面への投影形状が、ほぼ正方形であり、且つ開口部の配列方向に対してほぼ45度傾いていることを特徴とする上記本発明の電界効果型トランジスタに関する。

【0025】また本発明は、前記の各伝導経路を成す半導体層が、単結晶で構成されている上記本発明の電界効果型トランジスタに関する。

40 【0026】また本発明は、上記本発明の電界効果型トランジスタの製造方法であって、絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、該マスク膜に開口が一定方向に配列した開口パターンを形成する工程と、前記開口パターンの少なくとも一部を含む所定の領域が残るように前記マスク膜をパターニングする工程と、パターニングされたマスク膜をマスクとして前記半導体層をパターニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法に関する。

【0027】また本発明は、前記開口パターンは、開口配列方向の両端に余分に開口を配列したパターンとし、前記マスク膜をパターニングする工程において、前記開口パターンの余分に形成した開口が残らないようによりパターニングすることを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0028】また本発明は、上記本発明の電界効果型トランジスタの製造方法であって、絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、第二のマスク材料を前記マスク膜の上に堆積する工程と、一定の間隔を隔てて配列する矩形状に前記第二のマスク材料を加工する工程と、矩形の第二のマスク材料の両端部において、複数の矩形の第二のマスク材料の一方の端を含む一定の領域を覆うレジストパターンを設け、該レジストパターン及び第二のマスク材料の両者に対して選択的に、露出している前記マスク膜をエッチングすることにより、開口が一定方向に配列した開口パターンを有するように前記マスク膜をパターニングする工程と、パターニングされたマスク膜をマスクとして前記半導体層をパターニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法に関する。

【0029】また本発明は、上記本発明の電界効果型トランジスタの製造方法であって、絶縁体上に半導体層を形成し、該半導体層上に少なくとも一種の絶縁性のマスク膜を設ける工程と、一定の間隔を隔てて配列するマスク形成用ダミーパターンを前記マスク膜上に設ける工程と、前記マスク形成用ダミーパターン上に第二のマスク材料を堆積し、第二のマスク材料をエッチバックすることにより、マスク形成用ダミーパターン周辺に第二のマスク材料の側壁を形成し、続いてマスク形成用ダミーパターンを除去して、マスク膜上に前記側壁を残存させる工程と、前記側壁を構成する第二のマスク材料の両端部において、複数の第二のマスク材料の一方の端を含む一定の領域を覆うレジストパターンを設け、該レジストパターン及び第二のマスク材料の両者に対して選択的に、露出している前記マスク膜をエッチングすることにより、開口が一定方向に配列した開口パターンを有するように前記マスク膜をパターニングする工程と、パターニングされたマスク膜をマスクとして前記半導体層をパターニングし、前記伝導経路および前記ソース／ドレイン領域を成す半導体層を形成する工程を有することを特徴とする電界効果型トランジスタの製造方法に関する。

【0030】また本発明は、半導体層をパターニングする前記工程にて半導体層に形成された開口部が配列する方向に、開口部により互いに分離された複数の半導体層部分を跨ぐようにゲート電極またはダミーゲート電極を設ける工程を有することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0031】また本発明は、前記伝導経路を成す半導体層部分への不純物導入は、半導体層をパターニングする前記工程にて半導体層に形成された各開口部の内壁に高濃度の不純物を含む材料を付着させ、次いで熱処理により前記高濃度の不純物を含む材料から前記半導体層部分へ不純物を拡散導入させることを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0032】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した前記絶縁体を所定の深さまでエッチングすることを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0033】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面に対して水素アニールを実施することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0034】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を SiO_2 膜で覆い、温度 $1200^{\circ}C$ 以上、1 時間以上の熱処理を実施することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0035】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、レーザーピームによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0036】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、電子ビームによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0037】また本発明は、半導体層をパターニングする前記工程にて形成された各開口部内に露出した半導体層の側面を絶縁膜で覆い、電気ヒータによって、前記絶縁膜で覆われた半導体層の側面、または前記伝導経路を成す半導体層を溶融し、溶融した領域を再結晶化することを特徴とする上記本発明の電界効果型トランジスタの製造方法に関する。

【0038】

【発明の実施の形態】（実施形態1）本発明における典型的な素子構造について述べる。図1は素子の鳥瞰図、図2は図1の素子を真上から見た上面図である。図3は図1及び図2におけるA1-A1'方向の断面図、図4は同じくB1-B1'方向の断面図、図5は同じくC1-C1'方向の断面図である。

【0039】図1に示すように、シリコン基板1上に埋め込み絶縁膜2が設けられ、さらにその上部に適当な形にパターニングされた半導体層3が設けられる。半導体層3には、開口部10の列が半導体層3を横断するように設けられる(図2)。開口部10では半導体層3は除去され、開口は埋め込み絶縁膜2に達する。開口配列領域34において、半導体層3上、及び開口部10において露出した埋め込み絶縁膜2上に、開口部10が配列する方向に長辺を持つゲート電極5が設けられる。ゲート電極5下部に位置する半導体層は、不純物が導入されないか、あるいは不純物が低濃度で導入され、適当なゲート電圧の印加によりチャネルが形成される、チャネル形成領域7を成す。チャネル形成領域7を成す半導体層の上面及び側面には絶縁膜(図1の形態では上面、側面とともにゲート絶縁膜6)が設けられ、チャネル形成領域7を成す半導体層は絶縁膜を介して上部と側面においてゲート電極5に向かい合う。ここで、少なくともチャネル形成領域7を成す半導体層の側面に設けられる絶縁膜はゲート絶縁膜であり、ゲート電圧の印加により半導体層の側面にチャネルが形成される程度まで膜厚を薄く設定される。チャネル形成領域7を成す半導体層の上部の絶縁膜は、側面の絶縁膜と同程度に薄いゲート絶縁膜でも良く、あるいは側面の絶縁膜よりも厚く設けられても良い。また、上部の絶縁膜と、側面の絶縁膜の材料は異なっていても良い。

【0040】半導体層3のうち、開口部10が配列する領域34の両側に位置する部分は、高濃度の不純物がドーピングされた、ソース/ドレイン領域4を成す。ソース/ドレイン領域4とチャネル形成領域7との間の領域は、ソース/ドレイン4と同じ導電型の不純物が高濃度に導入され、ソース/ドレイン領域4とチャネル形成領域7を接続する、ソース/ドレイン接続部32となる。本実施形態のソース/ドレイン領域4はソース/ドレインコンタクト16(図35～図37)を介して配線を接続する役割を持つ。またソース/ドレイン接続部32は、ソース/ドレイン領域4とチャネル形成領域7を接続するとともに、不純物の高濃度部とチャネル形成領域が接続する部分の厚さ(伝導経路を成す半導体層の幅に相当、また通常の電界効果型トランジスタの接合深さに相当)を小さくすることにより、短チャネル効果(トランジスタの微細化に伴うしきい値電圧など諸特性の変動)を抑制する作用を持つ。

【0041】なお、本トランジスタにおけるソース/ドレイン領域4とソース/ドレイン接続部32を合わせた部分が通常のシングルドレイン電界効果型トランジスタにおけるソース/ドレイン領域の作用を持つ部分といえる。ソース/ドレイン領域からチャネル形成領域に対して浅く延長されたソース/ドレインエクステンションをもつ電界効果型トランジスタに対しては、本実施形態のソース/ドレイン接続部32がソース/ドレインエクス

テンションに相当する。

【0042】図1には描いていないが、ゲート電極5に覆われていない開口10内には、トランジスタが完成するまでの間に、各種の絶縁膜堆積工程において、各種の絶縁体が埋め込まれる。但し、開口10内がすべて絶縁体に満たされる必要はなく、絶縁体が埋め込まれない空洞が一部残存しても良い。

【0043】なお、図1では図を見やすくするためにゲート絶縁膜6を描いていない。

10 【0044】各部分の寸法は例えば以下の通りにする。埋め込み絶縁膜2の厚さは、例えば100nmとする。半導体層3の厚さ(図1における高さ)は例えば120nmとする。開口部が配列する方向(A1-A1'方向)における開口部10の幅は100nm、開口部が配列する方向に対して直角な方向(C1-C1'方向)の開口部の幅は300nmとする。二つの開口部に挟まれた半導体層の幅は50nmとする。開口配列領域34の両端では、開口部のほぼ半分の大きさを持つ切り欠きが、半導体層に設けられる。ゲート絶縁膜は、形成する

20 トランジスタにおいて短チャネル効果を抑制するために適した材料及び膜厚の組み合わせを持つようとする。ゲート絶縁膜の材質がSiO₂の場合、典型的な厚さは1.5～4nmである。

【0045】但し、埋め込み絶縁膜2の厚さには特に制限はない。一般にSIMOXウェハ(シリコン基板中に酸素をイオン注入して作製するSOI基板)では埋め込み絶縁層の厚さは100nmから400nm程度、張り合わせウェハ(絶縁膜を介して二枚のシリコン基板を張り合わせて作製したSOIウェハ)の場合、一般には1.5～3μm程度であるが、ELTRAN技術(多孔質シリコンを形成することにより、薄膜シリコン層を分離させる技術)を用いた張り合わせウェハでは、50nm程度のものもある。一般に論理回路においては、埋め込み絶縁層を介して熱が逃げやすいように、150nm以下に設定することが望ましいが、本発明の効果は埋め込み絶縁層の厚さには影響されず、その厚さには制限は無い。

【0046】二つの開口部10に挟まれた半導体層の幅は、ゲート長と同程度か、それよりも小さいことが短チャネル効果抑制の観点から望ましく、ゲート長の半分、40 またはそれ以下であることが短チャネル効果抑制の観点から特に望ましい。ゲート長には特に制限がないが、本発明が適用される電界効果型トランジスタに対して想定される典型的なゲート長は10nmから0.25μmの範囲である。半導体層の幅と高さの関係については、後に図53を参照して詳述する。

【0047】各部分の材質は、以下の通りにする。埋め込み絶縁膜2は絶縁体であれば良いが、例えばSiO₂とする。SiO₂以外に、例えばSi₃N₄、AlN、アルミナ、その他金属酸化物よりなる絶縁体、有機材料よりなる絶縁体等を用いても良い。また、埋め込み絶縁膜

50

2を空洞で置き換える、空洞よりなる埋め込み絶縁層を持つトランジスタを形成してもよい。本発明の効果を享受するに当たり、半導体層3の材質にも特に制限が無いが、通常のLSIプロセスとの互換性という観点からは、単結晶シリコンが最も望ましい。ゲート電極5の材質は必要な仕事関数及び導電率を持つ材料をもつ導電体であれば良い。例えば、n⁺型またはp⁺型のポリシリコン、n⁺型またはp⁺型の多結晶SiGe混晶、n⁺型またはp⁺型の多結晶Ge、n⁺型またはp⁺型の多結晶SiC等の半導体、Mo、W、Taなどの金属、TiN、WN等の金属窒化物、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。

【0048】図では、ゲート長（後で形成される二つのソース／ドレイン領域を結ぶ方向のゲート電極の寸法。図1、図2、図4ではB1-B1'方向、C1-C1'方向の寸法が相当する）は、開口部を埋めない程度に設定される。例えば150nmとする。但し、開口部10の両端にソース／ドレイン領域が届くように設けられるのであれば、ゲート電極は開口部を完全に覆っても良い。

【0049】チャネル形成領域を成す半導体層には低濃度の不純物が導入されていても良いし、あるいは不純物を全く導入しなくとも良い。不純物は例えば、ホウ素、リン、ヒ素であり、その濃度は10¹⁹cm⁻³未満である。素子特性の優れた完全空乏化型動作を得るために、その濃度は10¹⁸cm⁻³未満であることが望ましい。ゲート電極の材料として、その材料の仕事関数がしきい値の制御に適した材料を選ぶ場合（Mo、W、Taなどの金属、TiN、WN等の金属窒化物、白金シリサイド、エルビウムシリサイド、SiGe混晶など）、不純物の導入は必要なく、また導入するとしても10¹⁸cm⁻³未満で良い。また、不純物濃度は、両側面のチャネルから半導体層の中央に向かって伸びる空乏層が、少なくともゲート電極にしきい値電圧を印加した状態で、互いに接する程度まで低濃度に設定すれば、動作特性に優れた完全空乏化動作となるとともに、ダブルゲート構造がもたらす短チャネル効果に対する抑制効果を享受できる。

【0050】ソース／ドレイン領域4にはチャネルの導電型と同一導電型を持つ不純物が高濃度に導入される。nチャネルトランジスタの場合、リン、ヒ素などのn型不純物が、pチャネルトランジスタの場合にはホウ素などのp型不純物が導入される。ソース／ドレイン領域に導入される不純物の濃度は10¹⁹cm⁻³以上であり、典型的には5×10¹⁹cm⁻³～5×10²⁰cm⁻³である。

【0051】このトランジスタのチャネル形成領域の電位は、チャネル形成領域を成す半導体層の両側面に設けられたゲート電極により制御されるので、チャネル形成領域の電位に対する制御性が高く、短チャネル効果が抑制され、素子の特性が向上する。また、半導体層の両側

面に配置されたゲート電極からの電界により、半導体層の両側面から半導体層内部に向かって形成される二つの空乏層の幅の合計よりも、半導体層の幅（図3のW₃）を小さくすると、素子を完全空乏化型動作させることができるので、サブスレッショルド特性（しきい値電圧以下のゲート電圧を印加した場合、トランジスタが急峻にオフする度合い）が改善され、基板浮遊効果（半導体層中に余剰キャリアが蓄積することによる異常動作）が抑制される。

10 【0052】チャネル形成領域7を成す半導体層の上部の絶縁膜が薄く、同半導体層の上部にチャネルが形成される場合、半導体層の高さ（図3のh₃）と半導体層の幅（図3のW₃）が同じであれば、両側面のチャネル幅（図3断面では縦方向）の合計は、半導体上面に形成されるチャネルの幅（図3断面では横方向）の2倍となる。半導体層の高さh₃が半導体層の幅W₃よりも大きければ、両側面のチャネル幅（図3断面では縦方向）の合計は、半導体層上面に形成されるチャネルの幅（図3断面では横方向）の2倍以上となり、側面のチャネルを、支20 配的なチャネルとすることができます。従って、チャネル形成領域を成す半導体層の高さh₃と同半導体層の幅W₃を同じとするか、あるいは、同半導体層の高さh₃を半導体層の幅W₃よりも大きくすることが望ましい。

【0053】チャネル形成領域7を成す半導体層の側面に形成されるゲート絶縁膜よりも、等価膜厚（等価膜厚とは、絶縁膜の厚さを絶縁膜の比誘電率で割り、得られた商にSiO₂の比誘電率を掛けたものである。）の大きい絶縁膜が、チャネル形成領域7を成す半導体層の上部に設けられ、上面にチャネルを成すキャリアが誘起されない場合には、チャネルはチャネル形成領域7を成す半導体層の両側面にのみ形成される。この場合、一つの伝導経路（35）当たりのチャネル幅は、チャネル形成領域7を成す半導体層の高さの2倍となる。

【0054】ここで、チャネル形成領域7を成す半導体層の適切な高さh₃について、図53を参照して説明する。チャネル形成領域7と開口部10とが周期的に配列する断面において、一点鎖線で区切った一つの周期を考える。片側の側面におけるチャネル幅をW_sとすると、一つの周期を成す構造において、チャネル幅の合計は2W_sとなる。一方、図53におけるチャネル形成領域7を成す半導体層の横方向の幅をW_{si}（図3のW₃に相当）、チャネル形成領域7を分離する開口部10の幅をW_{sp}とすると、一つの周期の幅はW_{si}+W_{sp}となる。同じ領域に通常のトランジスタ（例えば図52の構造）を形成した場合に得られるチャネル幅はW_{si}+W_{sp}であるから、本発明のトランジスタにおいて通常のトランジスタよりも大きなチャネル幅を実現するためには、2W_s>W_{si}+W_{sp}という条件を満たせば良い。両辺を2で割ればW_s>(W_{si}+W_{sp})/2となる。すなわち、W_sがW_{si}とW_{sp}50 の平均より大きければ良い。片側の側面のチャネル幅W_s

と、チャネル形成領域7の高さ h_{Si} は同じと考えられるので、チャネル形成領域7を成す半導体層の高さ h_{Si} (h_3)が、チャネル形成領域7を成す半導体層の幅 W_{Si} と開口部10幅 W_{sp} の平均より大きければ良いと言える。ここで、典型的な一つの例として、チャネル形成領域7を成す半導体層の幅 W_{Si} と開口部10幅 W_{sp} が同じ場合を考えると、両者の平均は W_{Si} と等しいので、チャネル形成領域7を成す半導体層の高さ h_{Si} がチャネル形成領域7の幅 W_{Si} よりも大きければ良いという結論が得られる。 W_{Si} と W_{sp} は必ずしも等しくないが、 $W_{Si}=W_{sp}$ と仮定して得られる $h_{Si}>W_{Si}$ という条件を、トランジスタを設計する指針として採用すれば、上の条件 $W>(W_{Si}+W_{sp})/2$ から、少なくとも大きく外れないトランジスタが得られる。

【0055】また、他の典型的な構造として、チャネル形成領域7を成す半導体層の幅を開口の幅よりも小さくする場合には、 $W_{Si}<W_{sp}$ であるので、 $h_3>W_{sp}$ という条件を満たせば、上の条件 $W>(W_{Si}+W_{sp})/2$ を必ず満たすことができる。

【0056】また、この電界効果型トランジスタは、基板平面にほぼ垂直な半導体層の側面に形成されるチャネルを、主たる伝導経路とするトランジスタであるにもかかわらず、ソース／ドレイン、及びゲート電極の形状を基板面に投影した際の形状(図2)は、通常の電界効果型トランジスタ(図52)と同一であるという特徴を有する。また、素子領域15の形状も、中央部を横断する開口の配列を除けば、通常の電界効果型トランジスタと同一である。すなわち、チャネル形成領域及びソース／ドレイン接続部32は縦型構造を持つが、ソース／ドレイン領域の形状は開口部の周囲を除いて通常の電界効果トランジスタと同一である。このため、ソース／ドレイン領域に対するコンタクト16、ゲート電極に対するコンタクト17についても、通常の電界効果型トランジスタ(図52)と同様のパターン(図35)及び同様の工程によって作製することができる。またソース／ドレイン領域についても、開口部10の周辺を除けば、通常の電界効果型トランジスタと同様であるので、ソース／ドレイン領域の形成、シリサイド化、あるいは低抵抗化のためにソース／ドレイン領域上に半導体層をエピタキシャル成長させる工程などにおいて、従来の電界効果型トランジスタに対するものと同様の工程、あるいは従来のSOI型電界効果型トランジスタに対するものと同様の工程を用いることができる。従って開口の配列部を追加することを除けば、通常のトランジスタの場合とほぼ同一のパターンを用いることができ、また開口部の形成及び開口部周辺に対する加工(例えばゲート電極の加工)を除いた工程(例えば、ゲート及びソース／ドレインへのコンタクト形成)では、従来の電界効果型トランジスタに対するものと同一の工程を用いることができるという特徴を有する。従って、第一の課題を解決できる。

【0057】また、チャネル部においては、一定の高さ(典型的には200nm以下、好ましくは120nm以下、さらに好ましくは60nm以下)の縦型トランジスタが並列に接続される構造を持ち、チャネル幅が各伝導経路に分散されることになり、チャネル幅の大きいトランジスタにおいても、チャネル形成領域の高さが一定に保たれる。また、チャネル幅の異なるトランジスタを回路内に混在させる場合には、単に配列する伝導経路の数を変えれば良いので、トランジスタの高さを変える必要が無く、トランジスタの高さにおけるバラツキを生じない。また、トランジスタの高さを一定の値以下に保つことができる、半導体の上部からイオン注入など不純物導入手段により不純物を導入した際においても、半導体層の基板平面に垂直な上下方向で不純物濃度の均一性が良い。また、半導体層の上下方向に対してゲート寸法(特に、二つのソース／ドレインを結ぶ方向の長さ、すなわちゲート長)の均一性が良い。また、半導体層の基板平面方向の厚さについて、上下方向での均一性が良い。従って、第二の課題を解決できる。ここに述べた半導体層の基板平面に垂直な上下方向における不純物濃度、ゲート寸法、及び半導体層の基板平面方向の厚さについての均一性は、半導体層が薄いほど改善される(チャネル部における半導体層の高さ h_{Si} は120nm以下が好ましく、60nm以下がさらに好ましい)。

【0058】また、この電界効果型トランジスタは、チャネル形成領域を成す半導体層の両側面には、ゲート電極が設けられており、ダブルゲート構造と呼ばれる構造を形成する。これは、薄膜(典型的には50nm以下)の半導体層を挟んで二つのゲート電極が設けられる構造であり、例えば閔川によりソリッドステートエレクトロニクス27巻827頁1984年(T. Sekikawa, Solid-State Electronics, vol. 27, p. 827, 1984)、田中により1991年アイ・イー・ディー・エム、テクニカルダイジェスト、683頁～686頁(T. Tanaka, 1991 IEEE, IEDM, pp. 683～686)に記されている。閔川及び田中は基板平面に平行な半導体層の上下にゲート電極を形成する構造を採用することにより、短チャネル効果が抑制されるとを報告している。しかしこの構造の問題として、半導体層の上下にゲート電極を設ける構造では、上下のゲート電極を同時に形成できない点を挙げることができる。このため上下のゲートの位置を自己整合的に決定できず、上下のゲートの位置がずれるという問題、あるいは上下のゲートの寸法(特にゲート長、すなわちソースとドレインを結ぶ方向のゲートの寸法)を揃えられないという問題がある。本実施形態の構造は、半導体層の両側面にゲート電極を設けることによりダブルゲート構造を実現し、短チャネル効果を抑制できる上、両側面のゲート電極を同時に形成することが容易であり(例えば後述実施形態3参)

照)、両側面のゲートの位置ずれ、及び寸法の差を従来の技術に比べ大きく低減できる。

【0059】次に実施形態1において、構造を一部変化させた例を述べる。図6の上面図は半導体層に設ける開口部を円形とした例を示す。図7は、開口配列領域34の両端において半導体層に切り欠きが設けられない構造である。なお、図6及び図7では、ゲート電極5と開口部10との位置関係を解りやすくするために、本来はゲート電極の下に隠れている開口部の外形線も表示している。

【0060】図8は半導体層3に開口部10を設ける際に、開口部において、埋め込み絶縁層2を一定の深さまで掘り下げ、半導体層3の下端よりも少し下の位置まで、ゲート電極5の下端が達する構造である。ゲート電極の下端と半導体層の下端の位置が揃っている場合、あるいはゲート電極の下端が半導体層の下端よりも上に位置する場合、半導体層の下端、あるいは半導体層の下部コーナー（これらはそれぞれ、通常の電界効果型トランジスタにおける素子領域端、素子領域端のコーナーに相当する）の電位を、ゲート電極により充分に制御することが比較的難しく、ソース、ドレイン間に漏れ電流が流れやすい。これに対して、図8のように半導体層3の下端よりも少し下の位置まで、ゲート電極7の下端が達するようにすると、半導体層の下端付近における、漏れ電流を抑制しやすくなる。また、図26の断面図に示すように、埋め込み絶縁層2に対してテーパーエッキングを施して、半導体層3の下端より下の位置で、埋め込み酸化膜の側面が傾斜を持つ形状を形成しても良い。図26の構造においてもゲート電極下端が半導体層下端よりも下になるため、半導体層の下端の電位に対するゲート電極の制御性を高めることができる。なお、図8及び図26は、チャネル形成領域7を成す半導体層の側面と上面の両方に同じ膜厚のゲート絶縁膜6を設けた場合を示したが、上面と側面の絶縁膜の材質が異なる場合、あるいは上面の絶縁膜が側面の絶縁膜のよりも厚い場合、のそれぞれに適用しても良い。

【0061】なお、ここでは半導体層下の絶縁体（埋め込み酸化膜2）の下に、支持基板であるシリコン基板1がある場合を述べたが、本発明は電界効果型トランジスタを形成する半導体の下に何らかの絶縁体があれば適用できる。例えば、サファイア基板上に半導体を設けたSOS構造（シリコン・オン・サファイア）等、半導体層下の絶縁体自体が支持基板となる構造に対しても適用できる。また、支持基板の材質はシリコンでなくとも良く、例えば石英、A1N等の絶縁体であっても良い。この構造は、例えば半導体層3となる単結晶シリコンを、SOI基板の作製に用いられる一般的な張り合わせ工程及び薄膜化工程により、石英、A1N等の絶縁体上に転写すれば形成できる。

【0062】なお、CMOS構成のインバータ、NAN

Dゲート、NORゲート等のように、ソース／ドレイン領域の一方が専らソースとして使われ、他方が専らドレインとして使われる場合においても、本明細書においては、両者を単にソース／ドレインと呼ぶ。

【0063】（実施形態2）チャネル形成領域7、半導体層に設ける開口部10、ソース／ドレイン領域4の三者の配置について、実施形態1のトランジスタに対するいくつかの変形例を述べる。図27から図34は図2、図6、図7と同じ位置から見た電界効果型トランジスタの上面図において、特に左端を拡大したものである。図27から図34のいずれの素子構造においても、半導体層3を横断するように開口部10が配列し、開口部が配列する方向に沿って半導体層3を跨ぐゲート電極5が設けられる。半導体層3にはゲート電極5及び開口部10を挟んで、高濃度の導電性不純物が導入されたソース／ドレイン領域4が設けられている。ゲート電極下の半導体層3は不純物濃度が低いチャネル形成領域7を成し、チャネルは主にチャネル形成領域7を成す半導体層の側面に形成される。なお、図27から図34の図面では、

20 ゲート電極5と開口部10との位置関係を解りやすくするために、本来はゲート電極の下に隠れている開口部の外形線も表示している。また、ゲート絶縁膜6についても、図面を見やすくするために省略している。実際にはゲート絶縁膜6がチャネル形成領域7を成す半導体層の側面に設けられ、チャネル形成領域7を成す半導体層の側面はゲート絶縁膜6を介してゲート電極5に向かい合う。また、チャネル形成領域7を成す半導体層の上面にはゲート絶縁膜6、またはゲート絶縁膜よりも等価膜厚の厚い絶縁膜（例えば図11又は図39のパッド酸化膜8とSi₃N₄膜9を合わせた物）が設けられる。

【0064】二つのソース／ドレイン領域4の間には、二つのソース／ドレイン領域を接続する半導体領域である伝導経路33が複数設けられた、伝導経路配置領域31が設けられている。これは図1から図8、及び図35にその構造を示したトランジスタ、及び実施形態3以下に記載する素子構造においても同じである。図27における斜線部は、伝導経路33のうちの一つを明示したものである。伝導経路33はチャネル形成領域7と、伝導経路中の高不純物濃度領域であるソース／ドレイン接続部32からなる。チャネル形成領域7はゲート電極の下部に位置する不純物濃度が低い（あるいは不純物が導入されない）領域である。伝導経路中のソース／ドレイン接続部32は、チャネル形成領域7とソース／ドレイン領域4との間に位置し、ソース／ドレイン領域と同じ導電型の不純物が高濃度に導入された領域である。なお、ゲート電極5の下にソース／ドレイン接続部32の一部、またはソース／ドレイン領域4の一部が位置する時、それぞれゲート電極5とソース／ドレイン接続部32の間、ゲート電極5とソース／ドレイン4の間に絶縁層が設けられる。この絶縁層の厚さはゲート絶縁膜と同

程度であっても良く、また、ゲート絶縁膜よりも厚くても良い。

【0065】また伝導経路33の形態は、チャネル形成領域7、伝導経路中の高不純物濃度領域（ソース／ドレイン接続部32）の両方がゲート電極の下に配置されるものであっても良い（図28）。さらに、チャネル形成領域7、ソース／ドレイン接続部32に加えて、ソース／ドレイン領域の一部もゲート電極の下部に位置する形態を取っても良い（図28）。また、伝導経路33中にソース／ドレイン接続部32を持たず、チャネル形成領域7とソース／ドレイン領域4が直接接続する形態を取っても良い（図29）。また、図27から図29には、開口部10の基板平面への投射形状が、少なくともソース／ドレイン領域付近において曲線を描く場合を示したが、図30から図31に示すように、開口部の形状が六角形、八角形等の多角形で有っても良い。また、図46から図49に示すように、ゲート電極の延長方向（開口部が配列する方向に同じ）に対して傾いた、ほぼ正方形である四角形であっても良い。また、図33及び34に示すように、開口部の幅がソース／ドレイン領域側のある範囲において狭くなる形態を持つても良い。

【0066】図27～図31、図33、図34及び図46～図49に示した実施例においては、いずれの場合においても、開口部の配列方向（ソース／ドレインを結ぶ方向に対して垂直で、基板表面に平行な方向）の開口部の幅W_{sp}は、開口部中央（二つのソース／ドレインから等距離の位置）における値（図27のW_{sp1}）に比べて、ソース／ドレイン領域付近において小さくなる（例えば図27のW_{sp2}）。逆に、伝導経路33を成す半導体層3の幅W_{si}は、チャネル形成領域中央（二つのソース／ドレインから等距離の位置）における値（図27のW_{si1}）に比べ、ソース／ドレイン領域付近において大きくなり（例えば図27のW_{si2}）、ソース／ドレイン領域に接続する位置において最大となる。すなわち、図27から図31、図33、図34及び図46～図49の形状は、いずれも、チャネル形成領域7からソース／ドレイン領域4にかけて半導体層の幅W_{si}が広がる形態を持つが、この場合、チャネル形成領域の横方向の幅W_{si}、あるいは少なくともチャネル形成領域の中央部における幅W_{Si}が小さくなるので、通常のSOI型電界効果型トランジスタにおいて半導体層を薄膜化することと同じく、Sファクタの改善、短チャネル効果の抑制などに効果があり、トランジスタの特性が向上する。その一方、ソース／ドレイン領域に接する位置では伝導経路33を成す半導体層の幅が大きくなるので、寄生抵抗が低減するという効果が得られる。さらに、高濃度の不純物を含む領域であるソース／ドレイン接続部32を有する（図27、図28、図30、図31、図33、図34、図46～図49の形状）伝導経路33を持つ場合、ソース／ドレイン接続部32とチャネル形成領域7との接触

面積が小さくなる。すると通常の電界効果型トランジスタにおいて高濃度不純物領域であるドレイン接合を浅く形成した場合、高不純物濃度で接合の浅いソース／ドレインエクステンションを設けた場合、あるいはSOI型電界効果型トランジスタにおいて半導体層を薄膜化することにより高濃度不純物領域であるドレインを薄く形成した場合等と同じく、高濃度不純物領域とチャネル形成領域が接触する部分で、高濃度不純物領域の断面積が減るので、短チャネル効果が抑制され、トランジスタの特性が向上する。すなわち、開口の配列方向におけるソース／ドレイン接続部の幅をチャネル形成領域を成す半導体層と接する部分では小さくすることにより短チャネル効果抑制作用が得られると同時に、開口の配列方向におけるソース／ドレイン接続部の幅をソース／ドレイン領域と接する部分では大きくすることにより寄生抵抗抑制作用が得られ、前記第三の課題を抑制できる。

【0067】また、開口部の形状は図32のような四角形でも良い。この場合、W_{si}、W_{sp}はともに一定である。この場合は、構造が単純であり、製造が容易であるという特徴がある。また、以下に述べるように、寄生容量36が小さいという特徴がある。

【0068】次に、ゲート側面とソース／ドレイン側面間の寄生容量36について、図54から図57を参照して説明する。図54はゲート端とソース／ドレイン領域の間に開口（もしくは開口内に絶縁体が埋め込まれた空間）がある場合の上面図を示す。これはソース／ドレイン接続部32のうち少なくとも一部がゲートに覆われていない場合に相当する。図55はゲート端とソース／ドレイン領域の間に開口（もしくは開口内に絶縁体が埋め込まれた空間）が無い場合の上面図を示す。これは、ソース／ドレイン接続部32のすべてがゲートに覆われている場合に相当する。図56、図57はそれぞれ図54のA205-A205'線断面、図55のA206-A206'線断面における断面図である。図54及び図55では、図を見やすくするために、実際にはゲート電極5の下に隠れている開口部10の外形線及びゲート絶縁膜6の外形線を明示した。

【0069】ゲート端とソース／ドレイン領域の間に開口がある構造（図54、図56）では、ゲートの側面とソース／ドレイン領域の側面が開口に相当する間隔だけ離れるので、ゲート側面とソース／ドレイン側面間の寄生容量36は小さい。その一方、ゲート端とソース／ドレイン領域の間に開口が無い構造（図55、図57）では、ゲート側面とソース／ドレイン側面の距離が小さいので、ゲート側面とソース／ドレイン側面間の寄生容量36は大きくなり、素子の高速動作に不利になる。本発明のトランジスタの開口部10には、PSGの堆積工程、層間絶縁膜の堆積工程等の絶縁膜を堆積する工程において、SiO₂、PSG等の絶縁膜が埋め込まれるが、開口内がSiO₂、PSG等の絶縁体により完全に

満たされていても、あるいは開口内に絶縁体に満たされない空洞が残存した場合にも、図54及び図56の構造における寄生容量36が、図55あるいは図57の構造における寄生容量36よりも小さくなることに変わりはない。

【0070】したがって、ソース／ドレイン接続部32のうち、少なくとも一部が、側面、上面ともゲート電極に覆われていない構造（図27、図30～図34、及び図46～図49の構造）は、寄生容量の低減において有利と言える。

【0071】図1、図6、図7、図27～図34の構造では、チャネル面が（100）面（あるいはこれに等価な面）または（100）面（あるいはこれに等価な面）から小さく傾いた面になるよう、開口部の配列方向が[100]方向（あるいはこれに等価な方向）になるようになる。正方形の開口の一辺が開口部の配列方向に対して45度傾いた図46から図49の構造では、開口部の配列方向が[110]方向（あるいはこれに等価な方向）になるようにすると、チャネル面が（100）面（あるいはこれに等価な方向）に形成される。チャネル面が（100）面または（100）面から小さく傾いた面に形成されると、界面準位が少ない点、またチャネルキャリアの移動度が大きい点において優れた特性が得られる。なお、図46から図49は同一のトランジスタに関する図であり、図46は開口部とゲート電極の位置関係を示し、図47はソース／ドレイン及びゲートに対するコンタクト形成後の上面図、図48は半導体層の形状に対する鳥瞰図、図49はゲート電極形成後の鳥瞰図であり、図49においては図を見やすくするためにゲート絶縁膜を省略している。また、図49は、ソース／ドレイン接続部32において、マスク膜9とパッド膜8が除去された場合について示した（両者は必ずしも除去されなくても良い）。

【0072】なお、本実施形態に記載した様々な開口部、及びソース／ドレイン接続部の形状は、実施形態1に記載の各種形態に対して適用することができる。また、本実施形態に記載した様々な開口部、及びソース／ドレイン接続部の形状は、チャネル形成領域の上部にチャネル形成領域の側面と同じ厚さの絶縁膜があるトランジスタ、チャネル形成領域の上部にチャネル形成領域の側面よりも厚い絶縁膜があるトランジスタ、チャネル形成領域の上部に多層の絶縁膜があるトランジスタに適用でき、これらいずれに適用してもその効果は変わらない。

【0073】（実施形態3）次に、実施形態1及び実施形態2の電界効果型トランジスタを形成するための製造方法について記載する。

【0074】シリコン基板1上に厚さ100nmのSiO₂より成る埋め込み絶縁層2を持ち、その上部に厚さ120nmの単結晶シリコン層よりなる半導体層3を持

つSOI（シリコン・オン・インシュレータ）基板を用意する。次に半導体層3の上部を20nm熱酸化することによりパッド酸化膜8を設け、その上部にCVD法により厚さ50nmのSi₃N₄膜9を設ける。次に、リソグラフィ工程により、開口が配列したパターンを持つレジストパターンを設け、これをマスクに、RIE等の通常のエッティング工程によりパッド酸化膜8及びSi₃N₄膜9をパターニングする（図9）。

【0075】次に、開口が配列したパターンを含む一定10の領域（例えば図9においてA9の点線で囲んだ範囲）

を覆うレジストパターンを設け、このレジストパターンをマスクに、Si₃N₄膜9、パッド酸化膜8をRIEによりパターニングする。続いてレジストを除去したのち、残ったSi₃N₄膜9、パッド酸化膜8をマスクに、シリコンに対するエッティング速度がSi₃N₄膜に対するエッティング速度より速い、選択的なRIE（リアクティブイオンエッティング、反応性イオンエッティング）を行い、半導体層3をパターニングする（図10）。この結果、一定の領域（この場合、A9の点線で囲んだ範囲）20以外のSi₃N₄膜9、パッド酸化膜8、半導体層3が取り除かれる。

【0076】また、シリコンのエッティングに統いて、SiO₂に対するエッティング速度がSi₃N₄膜に対するエッティング速度より速い選択的RIEを行うことにより、開口部においてSiO₂膜2の上端が半導体層3の下端よりも下に位置する形状（図8）、あるいは開口部においてSiO₂膜2の表面が傾斜した形状（図26）を得ることもできる。また、Si₃N₄膜9とパッド膜（パッド酸化膜8）の二層構造は、Si₃N₄膜9だけの単層構造であっても良い（以下、適宜、単層構造と多層構造のものを併せて「マスク膜9」と表記する。）。また、マスク膜の材質は半導体層3を選択的にエッティングできる材料であれば良い。例えばSiO₂でも良い。また、開口部の形状は、ここに示した形に限らない。例えば、図27～図34、図46から図49に示した形であっても良い。ここで述べた工程においてSiO₂からなるパッド膜8を設けた主な理由は、Si₃N₄膜9と半導体層3が直接接触することによって半導体層3に応力がかかるのを防ぐこと、Si₃N₄膜9と半導体層3との界面に多量の界面準位が発生することを防ぐこと等、Si₃N₄膜9と半導体層3が直接接触することにより発生する問題を避けることにある。Si₃N₄膜9と半導体層3が直接接觸させることにより発生する問題の影響が小さい場合は、パッド酸化膜8を省略しても良い。

【0077】また、エッティングにより半導体層3に開口部10を形成した後（図10の形状形成後）、統いて埋め込み絶縁層2の上部をエッティングする場合、エッティングによりマスク膜が全て失われることを防ぐために、マ50スク膜の材質と埋め込み絶縁層の材質との組み合わせ

を、埋め込み絶縁層だけを選択的にエッチングできるように選ぶことが好ましい。また、この条件が成り立たない組み合わせである場合は、以下のようにする。例えば、マスク膜9が埋め込み酸化膜と同じSiO₂である場合、埋め込み酸化膜2のエッチング時にマスク膜9の一部が除去されることを見込んで、マスク膜9を厚めにすれば良い。一般的に言えば、開口部における半導体層のエッチング後に埋め込み絶縁層をエッチングする場合で、なおかつ埋め込み絶縁層の材質とマスク膜9の材質が同じである場合、埋め込み絶縁層をエッチングする深さT_{boxov}よりも、マスク膜の厚さT_{mask}を大きくすれば良い。

【0078】また、半導体層が露出した後、半導体層の表面にゲート絶縁膜を形成する前に露出した半導体層の側面の平坦化と清浄化を行うための熱処理工程を追加しても良い。例えば、水素アニールを実施する。典型的な水素アニールの条件は10～50000Pa、850～1100℃、5～60分程度とする。但し、特に開口部間の間隔が狭く半導体層の基板平面方向の厚さが薄い場合には、半導体層の凝集を避けるためより短時間、あるいはより低温で熱処理しても良い。また、水素雰囲気中にHC1等、他の気体を混合しても良い。

【0079】また、半導体層3を横断するように配列する開口部10を設けたのち、露出した半導体層の側面をSiO₂膜で覆い、温度980℃以上（より望ましくは温度1200℃以上）、1時間以上の熱処理を実施することにより、露出した半導体層の側面を平坦化する工程を追加しても良い。ここで980℃以上の温度はSiO₂膜に流動性を持たせるために必要な温度であり、1200℃以上の温度は流動の顕著化に必要な温度である。熱処理は窒素中で行う。あるいはArなどの不活性ガス中で行う。また、熱処理を行う雰囲気に酸素を混合し、露出した半導体層3の側面を酸化させることにより、チャネル形成領域を成す半導体層の幅W_{Si}を小さく（チャネル形成領域を成す半導体層の基板平面方向の厚さを薄く）する工程を実施しても良い。

【0080】また、半導体層3を横断するように配列する開口部10を設けたのち、露出した半導体層の側面を絶縁膜（この絶縁膜は、例えばSiO₂膜、Si₃N₄膜等の絶縁体より成る。また、例えば複数の絶縁体からなる多層膜より成る。）で覆い、レーザービーム、電子ビーム等のビーム、電気ヒータ等の熱源により加熱することによって、伝導経路あるいはチャネル形成領域が形成される半導体領域のうち側面付近の一部領域を溶融して、再結晶化させる工程を行っても良い。また、同じくレーザービーム、電子ビーム等のビーム、電気ヒータ等の熱源により加熱することにより、伝導経路あるいはチャネル形成領域が形成される半導体領域（突起部）の全体を溶融し、溶融した領域を再結晶化しても良い。この工程の目的は、RIE工程により半導体層の側面に発生

した凹凸を平坦化することである。レーザービームや電子ビーム等のビームのパワー及びエネルギー、電気ヒータの温度、ビーム及び電気ヒータの走査速度は、望ましくは伝導経路あるいはチャネル形成領域が形成される半導体領域（突起部）の表面だけが溶融してその内部は溶融しないか、あるいは伝導経路が形成される突起部は溶融してソース／ドレイン領域が形成される半導体領域は溶融しない程度に設定されることが好ましい。これは、ビーム走査の後、基板の温度が低下する過程で、それぞれ溶融していない半導体突起部の内部の領域、あるいは溶融していないソース／ドレイン領域を種結晶（シード）として、溶融した領域を再結晶化させるためである。また、溶融再結晶化に伴い、埋め込み酸化膜中に発生した固定電荷またはトラップ等の欠陥を除去することを目的として、溶融結晶化後に高温の熱処理工程（1000℃以上、典型的には1300～1360℃、1時間以上、酸化雰囲気または非酸化雰囲気）、または酸化雰囲気中のより低温の熱処理工程を行っても良い。

【0081】次にCVDによりSiO₂よりなるダミーゲート絶縁膜18形成用の絶縁膜を10nm堆積し、RIEによりエッチバック（平坦部に堆積した材料膜を除去して、側壁部に堆積した材料膜を残す工程）することにより、半導体層3における開口部10の内壁及び半導体層の側面（素子領域をなす半導体層の周囲の側面）に、ダミーゲート絶縁膜18を設ける。続いてCVDによりポリシリコンを堆積し、これを通常のリソグラフィ及びRIEにより加工し、ダミーゲート電極11を設ける。この段階での形状は、パッド酸化膜8、Si₃N₄膜9が存在すること、ゲート絶縁膜6及びゲート電極5の代わりにそれぞれダミーゲート絶縁膜18、ダミーゲート電極11があることを除けば、図1と同様である（図39においてダミーゲート電極11が設けられた形状に相当。但し、図39では図を見やすくするため、ダミーゲート絶縁膜18を省略）。ここで、ダミーゲート絶縁膜18、ダミーゲート電極11を形成したのは、後に、これらを除去して得られた空間に、改めてゲート絶縁膜6及びゲート電極5を形成する、いわゆる置換ゲート工程を実施するための準備である。

【0082】置換ゲート工程を行わない場合は、ここでダミーゲート絶縁膜18を形成する代わりにゲート絶縁膜6を、ダミーゲート電極11を形成する代わりにゲート電極5をそれぞれ形成し（図39においてゲート電極5が設けられた形状に相当。但し、図39では図を見やすくするため、ゲート絶縁膜6を省略）、続いて以下に述べるソース／ドレイン接続領域への不純物導入、ソース／ドレインの形成、配線の形成を実施してトランジスタを形成すれば良い。この場合、図11から図16に至る工程において、ダミーゲート絶縁膜18に代えてゲート絶縁膜6が、ダミーゲート電極11に代えてゲート電極5が設けられた形状が得られる。

【0083】また、ここ(図11に至る工程)で、ダミーゲート絶縁膜18をCVDにより堆積したのは、もしも熱酸化によりダミーゲート絶縁膜18を形成すると、ダミーゲート絶縁膜18の除去後に、マスク膜(この場合はパッド酸化膜8とSi₃N₄膜9の二層膜)の基板平面方向の幅よりもチャネル形成領域を成す半導体の基板平面方向幅が狭くなるために、マスク膜の下部でチャネル形成領域を成す半導体層がマスク膜の端よりも後退して段差が発生し、垂直方向の平坦性が悪化しやすいという問題を防ぐことに特に注意を払ったためである。しかし、一般には、ゲート絶縁膜6、及びダミーゲート絶縁膜18は、SiO₂以外の絶縁膜であっても良く、また熱酸化により形成したSiO₂膜であっても良い。一般にダミーゲート絶縁膜18は、半導体層3に対して選択的に除去可能な材料であれば良い。また、ダミーゲート電極11をSi₃N₄等、半導体層3に対して選択的に除去できる材料により形成しても良く、ダミーゲート電極が半導体層3に対して選択的に除去できる場合にはダミーゲート絶縁膜18を省略しても良い。

【0084】統いてSi₃N₄膜に対して選択性のある条件下でRIEを実施してダミーゲート電極下部以外のダミーゲート絶縁膜を除去し、次いで全体に PSG(リンガラス)膜12を200nm堆積し、RIEによりこれをエッチバックすることにより、開口10の内壁と、半導体層の側面に側壁状のPSG膜12を設ける。この段階において、図10のA10-A10'線断面、B10-B10'線断面、C10-C10'線断面における断面図を、図11、図12及び図13に示す。この工程においてPSGを堆積するのは、開口部の内壁にPSGを付着させ、ゲート電極(またはダミーゲート電極)の両側の開口部に隣接する半導体領域にPSGから高濃度のリンを拡散させ、ゲート電極両側の半導体層に高濃度($5 \times 10^{18} \text{ cm}^{-3}$ 以上、好ましくは $3 \times 10^{19} \text{ cm}^{-3}$ 以上)のリンを導入し、ソース/ドレイン接続部32を形成することである。なお、PSGからリンを拡散させるための熱処理(例えば800°C 10秒)は、PSGの堆積直後に行っても良いし、PSGの堆積後、いくつかの工程を経た後に行っても良い。PSGの堆積後に行われる他の熱工程(例えばソース/ドレインへのイオン注入後の活性化、ゲート酸化)の際に同時にPSGからリンを拡散させる方法を用いても良い。

【0085】図14は、開口部のソース/ドレイン方向の幅が大きい場合で、開口がPSGによって埋め尽くされていないが、この場合においても、開口の内壁へのPSGの付着は保証されるので、問題は無い。図15は、図14に対応する状態における上面図である。PSGからの熱拡散によりn⁺型ソース/ドレイン領域4が形成された状態のB10-B10'線断面に相当する位置における断面図を図16に示す。

【0086】なお、pチャネルトランジスタの場合は、

PSG(ホウ素ガラス)など、p型不純物の拡散源をPSGに代えて用いる。またnチャネルトランジスタの場合においても、PSG以外のn型不純物拡散源(例えばヒ素ガラス)をPSGに代えて用いても良い。また、p型不純物であるホウ素と、n型不純物であるリンの両方を含むBPSG(ホウ素、リンガラス)において、ホウ素またはリンの一方の割合を高めたものを、それぞれp型またはn型のトランジスタの製造に用いても良い。

【0087】ゲート電極の両側、開口から離れた部分の半導体層には、通常の工程によりソース/ドレイン領域を形成する。例えばイオン注入、プラズマドーピング等により、nチャネルトランジスタの場合はn型不純物、pチャネルトランジスタの場合はp型不純物を高濃度($3 \times 10^{19} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ ～ $3 \times 10^{20} \text{ cm}^{-3}$)に導入する。n型不純物には例えばリン、ヒ素等ドナーを形成する不純物、p型不純物には例えばホウ素等アクセプタを形成する不純物を用いる。また、ソース/ドレイン領域に対して寄生抵抗低減のために半導体のエピタキシャル成長を施しても良く、20またシリサイド化を行っても良い。

【0088】なお、半導体層3上のマスク膜9は、ダミーゲート電極11(あるいはこれに代わるゲート電極5)の加工時に、半導体層3を保護する目的で設けられたものであるが、ソース/ドレイン領域への不純物導入工程、あるいはソース/ドレイン領域のシリサイド化工程には不要であるので、ダミーゲート電極11(あるいはこれに代わるゲート電極5)をRIEにより加工して形成した後、ソース/ドレイン領域へ不純物を導入する以前のいずれかの段階においてRIEあるいはウェットエッチングにより除去されることが望ましい。PSGの堆積後、PSGをRIEによりエッチバックし、PSGよりなる側壁を形成する工程において、ゲート電極下部とPSG側壁下部を除いた領域のマスク膜9、パッド酸化膜8を同時に除去すれば、図16のようにソース/ドレイン領域を形成する領域で半導体層3の上面が露出する形状が得られる。また、一旦マスク膜9、パッド酸化膜8を残したままPSG側壁を形成し(図12、図13)、PSGからの不純物拡散後、ソース/ドレイン領域の形成前に、マスク膜9、パッド酸化膜8を除去する30事を目的としたRIEを実施しても良い(この時、PSGの上部も除去されるが、PSGからの不純物拡散は既に実施した後なので問題は無い)。また、ダミーゲート電極11(あるいはこれに代わるゲート電極5)をRIEにより加工した後、PSGの堆積以前に、RIE等のエッチング工程によりマスク膜9及びパッド酸化膜8を除去しても良い。この場合、種々の工程を経て最終的に得られる素子形状は図38に示したものとなる。PSGの堆積以後のいずれかの段階に、マスク膜9、パッド酸化膜8を除去した場合は、最終的に図36の形状が得られる。

40

【0089】PSGの堆積及びエッチバック後、CVDによりSiO₂を堆積して層間絶縁膜13とし、ダミーゲート電極11をストップとしてCMPにより層間絶縁膜13を平坦化する。この時、同時にダミーゲート電極11の上部を露出させる。続いてRIEによりダミーゲート電極11を除去し、次にRIEによりダミーゲート絶縁膜18を除去する。続いて熱酸化によりゲート絶縁膜14を2nm形成し、ダミーゲート電極11を除去して得られたスリット中にTiN等の導電性材料をスパッタ法により埋め込み、これをゲート電極5とする(図18、19)。なお、図19はゲート絶縁膜14を熱酸化により形成した場合の形状、図18はゲート絶縁膜14をCVDにより形成した場合の形状である。

【0090】その後、ゲート電極及びソース/ドレイン領域上の層間絶縁膜に開口(それぞれゲートコンタクト17形成用開口、ソース/ドレインコンタクト16形成用開口)を設けたのち、Al等の金属材料をスパッタ、CVD等で堆積したのちこれをパターニングし、配線24を設けると、図35～図38に示した電界効果型トランジスタが得られる。ここではゲート電極5に接続する配線を描いていないが、ソース/ドレイン領域4へのソース/ドレインコンタクト16を介した接続と同様に、ゲート電極5へゲートコンタクト17を介して配線が接続される。なお、図36及び図38は図35におけるB41-B41'線断面を示し、図37はC41-C41'線断面を示す。但し、図36はPSGの堆積以前に、マスク膜9及びパッド酸化膜8を除去した場合、図38はPSGの堆積以後に、マスク膜9及びパッド酸化膜8を除去した場合を示す。また、図37は、開口部がPSGにより全て満たされない場合(図14)について示した。

【0091】ダミーゲート絶縁膜をRIEで除去した後、ダミーゲート絶縁膜をRIEによる除去する際に半導体層に生じたダメージ及び汚染を除去するために、チャネル形成領域を成す半導体層の表面をドライエッティングにより一部除去しても良い。この際のドライエッティングには、等方性のエッティングが好ましい。エッティングガスとしては、Cl₂、CF₄、CHF₃、HC1等を用いれば良い。また、ここでドライエッティングを施すと同時に、半導体層をより薄膜化することを目的に、チャネル形成領域を成す半導体層を両側面からエッティングしても良い。例えば、短チャネル効果を抑制することを目的に、半導体層の幅が5～10nm程度になるまで薄膜化を行っても良い。

【0092】勿論、ダミーゲート絶縁膜18、ダミーゲート電極11を形成する工程において、これらに代えてゲート酸化膜6、ゲート電極5が形成されている場合は、ダミーゲート絶縁膜の除去から、導電性材料の埋め込みによるゲート電極5の形成に至る上記の工程を必要としない。

【0093】また、半導体層が露出した後、半導体層の表面にゲート絶縁膜を形成する前に露出した半導体層の側面の平坦化と清浄化を行うための熱処理工程を追加しても良い。例えば、水素アニールを実施する。典型的な水素アニールの条件は10～50000Pa、850～1100℃、5～60分程度とする。但し、特に開口部間の間隔が狭く半導体層が薄い場合には、半導体層の凝集を避けるためより短時間、あるいはより低温で熱処理しても良い。また、水素雰囲気中にHC1等、他の気体を混合しても良い。

【0094】また、ソース/ドレイン接続部の幅が大きい場合(例えば図6、図46～図49の構造)は、ソース/ドレイン接続部への不純物導入を、上部から通常にイオン注入をすることにより作製しても良い。ソース/ドレイン接続部に上部からイオン注入する場合は、マスク膜9とパッド膜8を除去することが好ましい(図49)。ソース/ドレイン接続部とソース/ドレイン領域の両者に対して、同時にマスク膜9とパッド膜8を除去し、同時に不純物の導入を行っても良い。

20 【0095】また、ソース/ドレイン領域、ソース/ドレイン接続部へ上部からイオン注入する場合は、基板平面に対して垂直方向の不純物濃度を均一にするため、異なるエネルギーのイオン注入を複数回繰り返しても良い。

【0096】以上に述べた電界効果型トランジスタの製造方法では、RIEに対するマスク層(ここではSi₃N₄膜)にあらかじめ開口が余分に配列したパターンを設け、次に余分な開口パターンを除いた領域において半導体層3をパターニングして素子領域を形成するので、チャネル形成領域を成す半導体層の幅を均一に形成できる。ここでもし、開口パターンに余分な配列を設げず、開口パターンと、素子領域のパターンを同時に形成しようとすると、開口パターン配列の端部に位置するチャネル形成領域(図10では、配列中で最も右、及び最も左に位置する半導体領域)に対応するレジストパターンの幅が、素子領域外の広い領域に対して露光された光線(あるいは電子線、X線などのビーム)の影響によって細りを生じ、その結果、図51のように、開口パターン配列の両端部に位置するチャネル形成領域を成す半導体層の幅が細くなる場合がある(近接効果)。これに対して本製造方法を用いると、この問題は生じず図10のように、幅の揃った素子領域が得られる。

【0097】また、本実施形態の製造方法においては、チャネル形成領域の半導体層の上部にマスク層(ここではSiO₂層とSi₃N₄層の二層膜)を設けているので、ゲート電極(またはダミーゲート電極)のエッティング中にチャネル形成領域の半導体層がダメージを受けることも無い。マスク層の材質は、ゲートのエッティング中にマスク層のすべてがエッティングされ消滅することの無いものであれば良い。例えばSiO₂層、Si₃N₄層

等、ゲート電極またはダミーゲート電極のエッチング時にエッチングされない或いはされにくい材料を選べば良い。

【0098】ダミーゲート電極及びダミーゲート絶縁膜の除去後、絶縁性側壁材料、例えば厚さ5nmの第二のSi₃N₄膜をCVDにより全面に堆積して、続いてこの絶縁材料をRIEによりエッチバックすることにより、ダミーゲート電極及びダミーゲート絶縁膜を除去して得られたスリット中に、絶縁材料よりなる側壁を形成する工程を追加しても良い。この時、チャネル形成領域を成す半導体層とダミーゲート電極の双方がほぼ垂直な側面を持っている場合には、ダミーゲート電極の高さ（埋め込み酸化膜に接する最下端から最上端までの高さ）が、チャネル形成領域を成す半導体層の2倍以上あれば、絶縁性側壁材料（ここでは第二のSi₃N₄膜）に対して、少なくともチャネル形成領域を成す半導体層の厚さと同じだけRIEを実施することにより、半導体層の側壁には絶縁性側壁材料（ここでは第二のSi₃N₄膜）が無く、スリットの内壁だけに絶縁性側壁材料（ここでは第二のSi₃N₄膜）を設けることができる。スリットの内壁に絶縁材料よりなる側壁が設けられると、スリットに隣接する材料（ここではPSG）に損傷を与えずに、スリット内の半導体に対してクリーニング又はエッチング処理を行うことができる。例えば、半導体層の側面の汚染を除去するため、あるいは半導体層の幅W_{Si}を小さくするために、一旦半導体側面を熱酸化し（汚染除去を目的とする場合はゲート酸化膜厚の10倍以下、薄膜化を目的とする場合は特に範囲はない。ここで行う酸化工程は犠牲酸化と呼ばれる）、これを希フッ酸、または緩衝フッ酸などSiO₂に対するエッチング液により除去する工程（犠牲酸化膜除去工程）を行っても、スリット両側が絶縁性側壁材料に覆われているので、スリット両側の材料（ここではPSG）に対する損傷が小さい。

【0099】また、ゲート電極5（もしくはダミーゲート電極11）に側壁を設ける方法としては、半導体層に開けられた開口部における、埋め込み絶縁層表面からのゲート電極5（もしくはダミーゲート電極11）の高さh_gを、埋め込み絶縁層表面からの半導体層の高さt_{Si}の2倍より大きく設定し、図10の構造上にゲート電極5（もしくはダミーゲート電極11）を形成した後、ゲート電極5（もしくはダミーゲート電極11）の表面を覆うように絶縁性側壁材料を堆積し、続いてこれをt_{Si}以上、(h_g-t_{Si})未満の厚さにわたってエッチバックすることにより、ゲート電極の下端から、半導体層の上端の高さまでの位置において、ゲート電極側面に側壁を形成することができる。

【0100】但し、本実施形態に述べたスリット内壁に絶縁性側壁を形成する方法、及び同じく本実施形態に述べたゲート電極5（もしくはダミーゲート電極11）に絶縁性側壁を形成する方法では、図10の構造上にゲー

ト電極5（もしくはダミーゲート電極11）を形成した時点で、ゲート電極5（もしくはダミーゲート電極11）の両側面を完全に絶縁性側壁で覆うことができない（前者の方法ではこの時点で側壁を設けることができない、後者の方法ではゲート電極の側面が一部露出する）。従って、ソース／ドレイン領域に半導体材料をエピタキシャル成長する場合に、ゲート電極側面にも、半導体材料がエピタキシャル成長するという問題が発生する。この問題の解決法は実施形態4に記載する。

【0101】なお、本実施形態における各工程は、実施形態1及び2に記した電界効果型トランジスタ、または実施形態1及び2に記した各種の変形を伴う電界効果型トランジスタの製造に用いることができる。また、本実施形態における各工程の一部を、他の一般的な電界効果型トランジスタの製造方法と組み合わせることにより、実施形態1及び2に記した電界効果型トランジスタ、または実施形態1及び2に記した各種の変形を伴う電界効果型トランジスタを製造することもできる。

【0102】また、本実施形態における、各部分の膜厚、寸法、材質は、実施形態1及び2の記載に従って、適宜変更を加えて良い。

【0103】（実施形態4）実施形態3の末尾に述べた方法とは異なる方法で、Si₃N₄側壁を形成する方法を図20～図25を参照して述べる。図20～図22は図10のB10～B10'線断面に対応し、図23～図25は図10のC10～C10'線断面のダミーゲート電極11付近に対応する。実施形態4の発明は実施形態3のダミーゲート電極に側壁を設ける場合、または実施形態3のダミーゲート電極を設ける工程に代えてゲート電極5を設ける工程を実施した際にゲート電極5に側壁を設ける場合に用いることができる。

【0104】まず、ダミーゲート電極11に側壁を設ける場合について述べる。ダミーゲート電極11を形成後、全体に第2のSi₃N₄膜20をCVDにより10nm堆積する。続いて第2のCVD SiO₂膜21をCVD法により200nm堆積し、CMPにより平坦化する（図20、図23）。続いて、第2のSi₃N₄膜20と第2のCVD SiO₂膜21をRIEにより15nmエッチングし、続いてポリシリコンを20nm堆積、ポリシリコンに対するRIEによるエッチバックを行い、第1のサイドウォール22（材質はこの場合ポリシリコン）をダミーゲート電極11の上部両側側面に設ける（図21、図24）。続いてダミーゲート電極11及び第1のサイドウォール22をマスクに、第2のSi₃N₄膜20及び第2のCVD SiO₂膜21をエッチバックすることにより、第2のSi₃N₄膜20と第2のCVD SiO₂膜21の一部からなるゲートサイドウォールを、ダミーゲート電極11の側面に設ける（図22、図25）。なお、第2のCVD SiO₂膜21を持たず第2のSi₃N₄膜20の側面が露出したゲートサイドウォ

ールを設けてもよい（発明の効果は変わらない）。第2のCVDSiO₂膜21を持たないサイドウォールは、例えば第1のサイドウォール22の横方向の突起が小さい場合、ゲートサイドウォールの形成後にフッ酸などによりSiO₂をエッティングした場合に生じる。

【0105】このようにゲートサイドウォールが設けられると、ダミーゲート電極形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長）を行う際に、ゲート電極及びゲート電極の下部を保護することができる。また、ダミーゲート電極を除去したのち、酸化膜、PSG膜が露出しないので、ダミーゲート酸化膜の除去をウェットエッティングにより行うことが可能となり、チャネル形成領域を成す半導体層へのダメージが軽減される。また、ダミーゲートを取り除いてスリットを形成した時点において、スリット内壁に残存するゲートサイドウォールに保護されたゲート電極周辺部がウェットエッティングの影響を受けないので、チャネル形成領域を成す半導体層を薄膜化する際に、犠牲酸化とそれに続く犠牲酸化膜に対するウェットエッティングにより行うことが可能となり、チャネル形成領域を成す半導体層へのダメージ（特にエッティングに伴うダメージ）が軽減される。

【0106】ダミーゲート電極を形成しない場合は、ダミーゲート電極に代えて設けられるゲート電極に対して、上記本実施形態の発明を同様に実施すれば良い。ゲート電極形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長）を行う際に、ゲート電極及びゲート電極の下部を保護することができる。

【0107】（実施形態5）PSG膜を設けず、開口部に隣接する半導体層に対して、イオン注入、プラズマドーピングなど、PSG膜からの固相拡散以外の通常の不純物導入プロセスにより、不純物を導入しても良い。この場合、不純物の導入後にPSGに代えてSiO₂、Si₃N₄などの絶縁材料を堆積すれば良い。

【0108】（実施形態6）開口部にPSG膜を設けるのではなく、実施形態4の方法に従いゲート電極5もしくはダミーゲート電極11に絶縁膜側壁を設けた後に、選択エピタキシャル成長によってチャネルタイプと同じ導電型の不純物を高濃度に含む半導体（Si、シリコンーゲルマニウム混晶等）を、ソース／ドレイン接続部の側面に成長させると、図33に示す形状の、ソース／ドレイン接続部が得られる。この場合ソース／ドレイン接続部の形状は、チャネル形成領域との接続点からゲート電極（またはダミーゲート電極）側壁に相当する厚さを隔た位置から、ソース／ドレイン領域に向かって傾斜しながら厚くなる形状を持つ。このような傾斜は選択エピタキシャル成長時に形成される晶癖（ファセット）に由来するものである。また、図34は選択エピタキシャル成長時に形成される晶癖（ファセット）が形成されな

い場合、もしくはチャネルタイプと同じ導電型の不純物を高濃度に含む半導体（Si、シリコンーゲルマニウム混晶等）のアモルファス層、あるいは多結晶よりなる層を選択的に形成した場合である。一般に成長ガスの流量が比較的小さい場合、成長温度が比較的高温である場合にファセットが形成されやすい。また、ファセットが形成されない場合、ソース／ドレイン接続部が傾斜してゲート電極から後退する形状が得られないが、この場合、ファセットが形成される場合に比べて、ソース／ドレイン接続部とゲート電極間の寄生容量が増す。この問題を避けるために、ファセットが形成されない図34では、ゲート電極（あるいはダミーゲート電極）に設ける側壁を、厚めに設定し、ゲート電極とソース／ドレイン接続部の寄生容量を小さくする方法を採用しても良い。

【0109】なお、選択エピタキシャル成長を行う際、ソース／ドレイン領域の上部が露出していればソース／ドレイン領域の上部にも上向きにエピタキシャル成長が進む。ソース／ドレイン領域の上部がマスク膜9等に覆われて、露出していなければ、ソース／ドレイン領域の上部でエピタキシャル成長は起こらない。

【0110】ソース／ドレイン領域の形成には、まず選択エピタキシャル（もしくは多結晶、アモルファス）成長後、例えば全面に第3のCVD酸化膜を厚く（例えば200nm）堆積し、エッチバックすることによりソース／ドレイン接続部のうちゲート電極（またはダミーゲート電極）寄りの一部またはソース／ドレイン接続部の全部を覆う厚いゲート側壁（ここでは第3のCVD酸化膜）を設け（形態は前記PSG膜の側壁に似る。但し、半導体層上のマスク膜の除去は、CVD酸化膜側壁形成の前でも後でも良い）、続いて厚いゲート側壁（ここでは第3のCVD酸化膜）をマスクにソース／ドレイン領域を形成するための不純物導入、例えばイオン注入を行えば良い。ここで、ソース／ドレイン接続部のうち少なくともゲート電極（またはダミーゲート電極）寄りの一部を覆うのは、この領域のソース／ドレイン接続部は、基板平面方向の厚さが薄い半導体層により構成されており、イオン注入のダメージに弱いので、この部分をイオン注入から保護するためである。

【0111】CMOS構成の回路において、nチャネル及びpチャネルMOSの両方を形成する必要がある場合、第二のチャネルタイプのトランジスタが形成される領域にはレジストをかぶせることにより、第一のチャネルタイプのトランジスタに対してのみゲート側壁の形成と半導体層の露出にかかる工程（図21、図22、図24、図25）を実施し、ソース／ドレイン領域接続部へのエピタキシャル成長、ソース／ドレインの形成に係わる前記一連の工程を実施する（但し、図20の形状を形成する工程実施前にはレジストを一旦除去し、図21の形状を形成する工程前に再度設ける。あるいは図20の形状を両チャネルタイプのトランジスタに対して形成

し、この後全体を薄いCVD酸化膜、例えば厚さ10nmで覆った後、それぞれのチャネルタイプのトランジスタを造る都度、各チャネルタイプのトランジスタ形成領域の表面に設けられた薄いCVD酸化膜を除去し、図22以降の形状を作製する工程を実施しても良い。)。その後全体を第4のCVD酸化膜で覆い(膜厚に制限は無い。10nm程度に薄くても良い。また平坦性を得るために200nm~500nm程度に厚くしても良い。これらの中間の膜厚でも良い。)、第一のチャネルタイプのトランジスタが形成された領域をレジストで覆い、図21の形状を作製する工程以降の工程(図20の形状を両チャネルタイプで別々に造る場合は、図20の形状を作製する工程も実施する)を実施すれば良い。

【0112】この実施例の製造方法は、チャネル形成領域が平行に配列しない縦型電界効果型トランジスタ(例えば図50の形状)の製造に用いても良い(図40)。単一の電流経路よりなる素子領域が形成される形(図40の破線部)に半導体のバーニングすることを除いて、各製造工程は実施形態6に記載した上記製造方法と同一である。

【0113】(実施形態7)実施形態6の製造方法を用いる場合、当初半導体層に設ける開口部の形状は、図32のように矩形とし、ゲート電極5(またはダミーゲート電極11)を形成後、ソース/ドレイン接続部32に半導体の選択成長を行うことにより、ソース/ドレイン接続部32の幅がチャネル形成領域7側では狭く、ソース/ドレイン領域4側では広く、その間ではソース/ドレイン接続部32の幅が連続的、または段階的に変化する形状(図33、図34)を得ることができる。

【0114】この場合、図32のような矩形の開口を持つ形状は、以下のように形成できる。一つの例を図41~図43を参照して説明する。シリコン基板1上に厚さ100nmのSiO₂より成る埋め込み絶縁層2を持ち、その上部に厚さ120nmの単結晶シリコン層よりなる半導体層3を持つSOI(シリコン・オン・インシュレータ)基板を用意する。次に半導体層3の上部を20nm熱酸化することによりパッド酸化膜8を設け、その上部にCVD法により厚さ50nmのSi₃N₄膜9を設ける。次に第二のマスク材料41をその上に堆積する(ここでは第二のマスク材料41として厚さ20nmのポリシリコンをCVD法により堆積する)。次に、リソグラフィ工程により、矩形が配列したレジストパターンを設け、このレジストをマスクに、第二のマスク材料41をバーニングし、矩形の第二のマスク材料41(ここではポリシリコン)が配列した形状を得る。ここで第二のマスク材料41の配列方向(図41では横方向)の幅は例えば50nmとする。次に配列の両端に位置する第二のマスク材料41を除く残りの第二のマスク材料41を覆う領域(図41の領域44)にレジストパターンを設け、このレジストをマスクに、配列の両端に位置す

る第二のマスク材料41をRIE等のエッティング処理により除去し、統いてレジストパターンを除去する。次に、矩形の第二のマスク材料41の両端部において、複数の第二のマスク材料41の一方の端を含む一定の領域を覆うレジストパターンを設ける(図41中の点線で囲まれた範囲の領域42)。次にレジストパターンと、第二のマスク材料41をマスクに(すなわち、レジストパターンと、第二のマスク材料41に対して選択的に)、それらの下部に位置するマスク膜であるSi₃N₄膜9をバーニングする。ここでレジストを除去すれば、図42の形状が得られる。統いて、マスク材料9と第二のマスク材料41をマスクに、選択的RIEにより半導体層3(ここではシリコン)をエッティングすれば、図43の形状が得られる。ここで第二のマスク材料41であるポリシリコンとシリコン3との間には選択性がほとんどないので、半導体層3のエッティング中に第二のマスク材料41は失われるが、この時第二のマスク材料41の下に位置するSi₃N₄膜9が露出し、Si₃N₄膜9がエッティングに対するマスクとなる。以後、他の実施形態と同様の手順で電界効果型トランジスタを形成する。但し、ソース/ドレイン領域接続部の側面に単結晶、アモルファスまたは多結晶の半導体を選択的に堆積させる工程、及びそれに先行する側壁形成工程は実施形態6の手順を用いる。

【0115】図41の工程において、配列の両端に位置する第二のマスク材料41を取り除く目的は以下の通りである。パターンを形成するための露光時に、配列の両端に位置するパターンは近接効果の影響を受けて他のパターンとは異なる幅に形成される場合がある。パターン幅の異なる第二のマスク材料41が混在することは好ましくないので、両端のものを取り除くことが望ましい。但し、近接効果が小さい場合は、配列の両端に位置するパターンを除く必要が無い。また、逆に近接効果の影響が大きい場合は、配列の両端からそれぞれ複数個のパターンを適宜取り除けばよい。

【0116】また、配列の両端の第二のマスク材料41を除去せず、配列の両端の第二のマスク材料41に、領域42を覆うレジストパターンがかからないようにすることで、パターン幅が異なる配列の両端の第二のマスク材料41をマスクとして形成されるチャネル形成領域を成す半導体層をソース/ドレイン領域が形成される位置(ほぼ領域42に相当)から分離し、素子特性に影響を与えないようにすることもできる。

【0117】また、配列の両端から各一つまたは複数の第二のマスク材料41を除去する場合、複数の第二のマスク材料41の一端を覆うレジストパターンを設ける範囲(領域42)は、配列の両端からそれぞれ各一つまたは複数の第二のマスク材料41が除去された後であれば、配列の両端からそれぞれ各一つまたは複数の第二のマスク材料41が存在していた範囲にかかっていてもか

まわない。

【0118】次に、チャネル形成領域をより細く形成するための実施形態について図44と図45を参照して説明する。図41～図43の実施形態と同じく、シリコン基板1上に厚さ100nmのSiO₂より成る埋め込み絶縁層2を持ち、その上部に厚さ120nmの単結晶シリコン層よりなる半導体層3を持つSOI（シリコン・オン・インシュレータ）基板を用意する。次に半導体層3の上部を20nm熱酸化することによりパット酸化膜8を設け、その上部にCVD法により厚さ50nmのSi₃N₄膜9を設ける。次に全体に厚さ40nmのSiO₂膜をCVDにより堆積し、これをパターニングすることにより、第二のマスク形成用ダミーパターン43（第二のマスクを形成するためのダミーパターンの意。マスク形成用ダミーパターンの第二では無い。）を形成する。次に全体に厚さ30nmのポリシリコンを第二のマスク材料として堆積し、これをエッチバック（30nm～50nm相当のエッチング）することにより、第二のマスク形成用ダミーパターン43周辺にポリシリコンの側壁を形成し、続いて第二のマスク形成用ダミーパターン43を希フッ酸、緩衝フッ酸等を用いて除去する。Si₃N₄膜9上に残ったポリシリコン側壁を図41における第二のマスク材料41に相当するものとする。以後、図41～図43の工程と同じく、第二のマスク材料41の一方の端を含む一定の領域を覆うレジストパターンを設ける（図44中の点線で囲まれた42の範囲）。次にレジストパターンと、第二のマスク材料41をマスクに、それらの下部に位置するマスク膜であるSi₃N₄膜9をパターニングする。ここでレジストを除去すれば、図45の形状が得られる。続いて、マスク材料9と第二のマスク材料41をマスクに、選択的RIEにより半導体層3（ここではシリコン）をエッチングすれば、図43と同様の形状が得られる。以後は、他の実施形態と同様の手順で電界効果型トランジスタを形成する。但し、ソース／ドレイン領域接続部の側面に単結晶、アモルファスまたは多結晶の半導体を選択的に堆積させる工程、及びそれに先行する側壁形成工程は実施形態6の手順を用いる。

【0119】図44と図45を参照して説明した工程では、チャネル形成領域を成す半導体層の幅が、第二のマスク材料41を、第二のマスク形成用ダミーパターン43の側面に堆積した時の堆積厚さによって決まるが、一般にCVDにより堆積した膜の厚さは精度良く制御できるので、チャネル形成領域を成す半導体層の幅を精度良く制御できる。また、同様に、堆積した膜の厚さに対する制御性が良いことから、チャネル形成領域を成す半導体層の幅を小さくすることに対しても有利である。

【0120】ここで、半導体層3はマスク膜9と第二のマスク材料41に対して、第二のマスク形成用ダミーパターン43は第二のマスク材料41とマスク膜9に対し

てそれぞれ選択的にエッチングできる材料を選んでいる。第二のマスク形成用ダミーパターン43は第二のマスク材料41に対してそれぞれ選択的にエッチングできる材料を選んでいる。但し、第二のマスク材料41とマスク膜9は同じ材料、例えばSi₃N₄膜とすることができる。第二のマスク材料41とマスク膜9を同じ材料とし、それぞれの膜厚をt_{mask1}、t_{mask2}とした場合、図41又は図44において符号42で示した範囲をレジストで覆った後、t_{mask2}以上、t_{mask1}+t_{mask2}以下の量だけの膜厚をエッチングする条件でRIEを行えば、伝導経路の位置では、第二のマスク材料41とマスク膜9の両方が全て失われることが無いので、伝導経路の位置に第二のマスク材料41又はマスク膜9を残すことができる。

【0121】実施形態7において図41から図45を参照して説明した各製造方法は、実施形態4において述べたゲート電極への側壁形成を行わない場合、あるいは実施形態6において述べたソース／ドレイン接続部への選択エピタキシャル成長を行わない場合に適用しても良い。また、図32のように矩形の開口が設けられる場合に対して用いても良い。

【0122】また、実施形態7において図41から図45を参照して説明した各製造方法を、実施形態3、5に記載した各実施形態において、開口部が配列したマスク膜を設ける工程に対して、置き換えて良い。但し開口部の境界に円弧を持つ場合、開口部が円形の場合、開口部の境界が開口部の配列方向に対して大きく（具体的には45度近く）傾いている場合は適さない。

【0123】

30 【発明の効果】この電界効果型トランジスタは、基板平面にはほぼ垂直な半導体層の側面に形成されるチャネルを、主たる伝導経路とするトランジスタであるにもかかわらず、ソース／ドレイン領域及びゲート電極の形状を基板面に投影した際の形状は、通常の電界効果型トランジスタと同一であるという特徴を有する。また、素子領域の形状も、中央部を横断する開口の配列を除けば、通常の電界効果型トランジスタと同一である。このため、ソース／ドレイン領域に対するコンタクト、ゲート電極に対するコンタクトについても、通常の電界効果型トランジスタと同様のパターン及び同様の工程によって作製することができる。またソース／ドレイン領域についても、ゲート電極近傍の開口部を除けば、通常のSOI電界効果型トランジスタと同様であるので、ソース／ドレイン領域の形成、シリサイド化、あるいは低抵抗化のためにソース／ドレイン領域上に半導体層をエピタキシャル成長させる工程などにおいて、従来の電界効果型トランジスタに対するものと同様のプロセスを用いることができる。従って開口の配列部を追加することを除けば、通常のトランジスタの場合とほぼ同一のパターンを用いることができ、また開口部の形成及び開口部周辺に対する

る加工（例えばゲート電極の加工）を除いた工程（例えば、ゲート及びソース／ドレインへのコンタクト形成）では、従来の電界効果型トランジスタに対するものと同一の工程を用いることができるという特徴を有する。

【0124】このトランジスタのチャネル形成領域は、ソース／ドレイン間を結ぶ複数の半導体領域から成り、該複数の半導体層の高さ h_3 は、開口配列方向の半導体層の幅 W_3 と同等か、それよりも大きい。チャネル形成領域の電位は、チャネル形成領域を成す半導体層の両側面に設けられたゲート電極により制御されるので、チャネル形成領域の電位を制御しやすい。また、半導体層の幅 W_3 を、両側面に配置されたゲート電極からの電界により半導体層中に形成される両側の二つの空乏層の幅の合計よりも小さくすることにより、素子を完全空乏化型動作させることができるので、サブスレッショルド特性（しきい値電圧以下のゲート電圧を印加した場合、トランジスタが急峻にオフする度合い）が改善され、基板浮遊効果（半導体層中に余剰キャリアが蓄積することによる異常動作）が抑制される。

【0125】また、半導体層の高さ h_3 と半導体層の幅 W_3 が同じであれば、両側面のチャネル幅の合計（図3断面では縦方向）は、半導体層上面に形成されるチャネルの幅（図3断面では横方向）の2倍となる。半導体層の高さ h_3 が半導体層の幅 W_3 より大きければ、両側面のチャネル幅の合計（図3断面では縦方向）は、半導体層上面に形成されるチャネルの幅（図3断面では横方向）の2倍以上となり、側面のチャネルを、支配的なチャネルとすることができます。

【0126】また、半導体層に開口部を設ける際に、開口部において、埋め込み絶縁層を一定の深さまで掘り下げ、半導体層の下端よりも少し下の位置まで、ゲート電極が達する構造を用いると、通常の電界効果型トランジスタにおける素子領域端に相当する、半導体層下部の位置において、漏れ電流を抑制できる。

【0127】本発明の製造方法では、RIEに対するマスク材料（ここでは Si_3N_4 膜）にあらかじめ開口が配列したパターンを設け、次に半導体層3に対してパターンングを行うので、チャネル形成領域を成す半導体層の幅を均一に形成できる。ここでもし、開口パターンに余分な配列を設けず、開口パターンと、素子領域のパターンを同時に形成しようとすると、開口パターン配列の端部に位置するチャネル形成領域（図10では、配列中で最も右、及び最も左に位置する半導体領域）に対応するレジストパターンの幅が、素子領域外の広い領域に対して露光された光線（あるいは電子線、X線などのビーム）の影響によって細りを生じ、その結果、図51のように、開口パターン配列の両端部に位置するチャネル形成領域を成す半導体層の幅が細くなる場合がある（近接効果）。これに対して本製造方法を用いると、この問題は生じず、幅の揃った素子領域が得られる。

【0128】本発明の製造方法においては、チャネル形成領域を成す半導体層の上部にマスク層（ここでは Si_3N_4 膜）を設けているので、ゲートのエッティング中にチャネル形成領域の半導体層がダメージを受けることが無い。

【0129】本発明の製造方法では、ダミーゲート電極及びダミーゲート絶縁膜の除去後、全体に第二の Si_3N_4 膜をCVDにより堆積して、RIEによりエッチバックする工程を加え、側壁を形成する。この時、チャネル形成領域となる半導体層とダミーゲートの双方がほぼ垂直な側面を持っている場合には、ダミーゲートの高さ（埋め込み酸化膜に接する再下端から再上端までの高さ）が、チャネル形成領域となる半導体層の2倍以上あれば、第二の Si_3N_4 膜に対して、少なくともチャネル形成領域となる半導体層の厚さと同じだけRIEを実施することにより、半導体層の側壁には Si_3N_4 膜側壁は無く、ダミーゲートを除去して得らるスリットの内壁だけに絶縁性側壁材料（ここでは第二の Si_3N_4 膜）を設けることができる。

【0130】本発明においては、nチャネルトランジスタの場合は、開口部の内壁にPSGを付着させ、開口部に隣接する半導体領域にPSGから高濃度のリンを拡散させ、ゲート電極両側の半導体層に高濃度のリンを導入できる。pチャネルトランジスタの場合は、BSGなど、p型不純物の拡散源をPSGに代えて用いても同様の効果が得られる。またnチャネルトランジスタの場合においても、PSG以外のp型不純物拡散源（例えばヒ素ガラス）をPSGに代えても同様な効果が得られる。

【0131】また本発明の製造方法では、ゲート絶縁膜の形成前に、水素アニールを実施し、チャネル形成領域を成す半導体層の表面を平坦化できる。

【0132】本発明においては、縦型電界効果型トランジスタFETのダミーゲート電極またはゲート電極にサイドウォールを形成することが可能であり、ダミーゲート電極形成後もしくはゲート電極形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長）を行う際に、ゲート電極及びゲート電極の下部を保護することができる。また、ダミーゲートを除去したのち、酸化膜が露出しないので、ダミーゲート酸化膜の除去をウェットエッティングにより行うことが可能となり、チャネル形成領域を成す半導体層へのダメージが軽減される。また、ダミーゲートを取り除いてスリットを形成した時点において、スリット内壁に残存するサイドウォールに保護されたゲート電極周辺部がウェットエッティングの影響を受けないので、チャネル形成領域を成す半導体層を薄膜化する際に、犠牲酸化とそれに続く犠牲酸化膜に対するウェットエッティングにより行うことが可能となり、チャネル形成領域を成す半導体層へのダメージ（特にエッティングに伴うダメージ）が軽減される。

【0133】ダミーゲートを形成しない場合は、ダミーゲートに代えてゲート電極に対して、本実施形態の発明を実施すれば良い。ゲート形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長）を行う際に、ゲート電極及びゲート電極の下部を保護することができる。

【図面の簡単な説明】

- 【図1】本発明の実施形態を示す鳥瞰図である。
- 【図2】本発明の実施形態を示す上面図である。
- 【図3】本発明の実施形態を示す断面図である。
- 【図4】本発明の実施形態を示す断面図である。
- 【図5】本発明の実施形態を示す断面図である。
- 【図6】本発明の実施形態を示す上面図である。
- 【図7】本発明の実施形態を示す上面図である。
- 【図8】本発明の実施形態を示す断面図である。
- 【図9】本発明の実施形態を示す鳥瞰図である。
- 【図10】本発明の実施形態を示す鳥瞰図である。
- 【図11】本発明の実施形態を示す断面図である。
- 【図12】本発明の実施形態を示す断面図である。
- 【図13】本発明の実施形態を示す断面図である。
- 【図14】本発明の実施形態を示す断面図である。
- 【図15】本発明の実施形態を示す上面図である。
- 【図16】本発明の実施形態を示す断面図である。
- 【図17】本発明の実施形態を示す断面図である。
- 【図18】本発明の実施形態を示す断面図である。
- 【図19】本発明の実施形態を示す断面図である。
- 【図20】本発明の実施形態を示す断面図である。
- 【図21】本発明の実施形態を示す断面図である。
- 【図22】本発明の実施形態を示す断面図である。
- 【図23】本発明の実施形態を示す断面図である。
- 【図24】本発明の実施形態を示す断面図である。
- 【図25】本発明の実施形態を示す断面図である。
- 【図26】本発明の実施形態を示す断面図である。
- 【図27】本発明の実施形態を示す上面図である。
- 【図28】本発明の実施形態を示す上面図である。
- 【図29】本発明の実施形態を示す上面図である。
- 【図30】本発明の実施形態を示す上面図である。
- 【図31】本発明の実施形態を示す上面図である。
- 【図32】本発明の実施形態を示す上面図である。
- 【図33】本発明の実施形態を示す上面図である。
- 【図34】本発明の実施形態を示す上面図である。
- 【図35】本発明の実施形態を示す上面図である。
- 【図36】本発明の実施形態を示す断面図である。
- 【図37】本発明の実施形態を示す断面図である。
- 【図38】本発明の実施形態を示す断面図である。
- 【図39】本発明の実施形態を示す鳥瞰図である。
- 【図40】本発明の実施形態を示す上面図である。
- 【図41】本発明の実施形態を示す上面図である。
- 【図42】本発明の実施形態を示す上面図である。
- 【図43】本発明の実施形態を示す上面図である。

【図44】本発明の実施形態を示す上面図である。

【図45】本発明の実施形態を示す上面図である。

【図46】本発明の実施形態を示す上面図である。

【図47】本発明の実施形態を示す上面図である。

【図48】本発明の実施形態を示す鳥瞰図である。

【図49】本発明の実施形態を示す鳥瞰図である。

【図50】従来の技術を説明する鳥瞰図である。

【図51】本発明の製造方法の効果を説明するための上面図である。

【図52】従来の素子構造を示す上面図である。

【図53】本発明の素子構造を説明するための断面図である。

【図54】本発明の効果を説明する上面図である。

【図55】本発明の効果を説明する上面図である。

【図56】本発明の効果を説明する断面図である。

【図57】本発明の効果を説明する断面図である。

【符号の説明】

1 シリコン基板

2 埋め込み絶縁層

20 3 半導体層

4 ソース／ドレイン領域

5 ゲート電極

6 ゲート絶縁膜

7 チャネル形成領域

8 パッド酸化膜

9 Si_3N_4 膜

10 開口部

11 ダミーゲート電極

12 PSG膜

30 13 層間絶縁膜

14 ゲート絶縁膜

15 素子領域

16 ソース／ドレインコンタクト

17 ゲートコンタクト

18 ダミーゲート絶縁膜

19 開口形成領域

20 第2の Si_3N_4 膜

21 第2の SiO_2 膜

22 第1のサイドウォール

40 23 層間絶縁膜

24 金属配線

31 伝導経路配置領域

32 ソース／ドレイン接続部

33 伝導経路

34 開口配列領域

35 一つの伝導経路

36 ゲート側面－ソース／ドレイン側面間容量

41 第二のマスク材料

42 レジストパターンの範囲（形成領域）

50 43 第二のマスク形成用ダミーパターン

41

44 レジストパターンの範囲(形成領域)

101 半導体基板

102 絶縁体

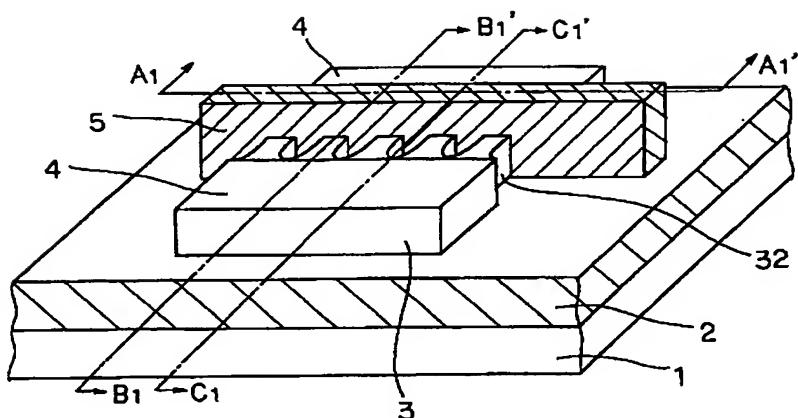
42

103 半導体層

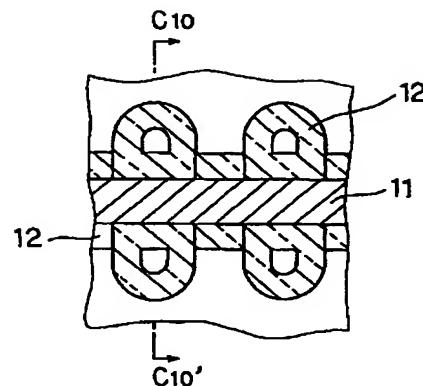
104 ゲート絶縁膜

105 ゲート電極

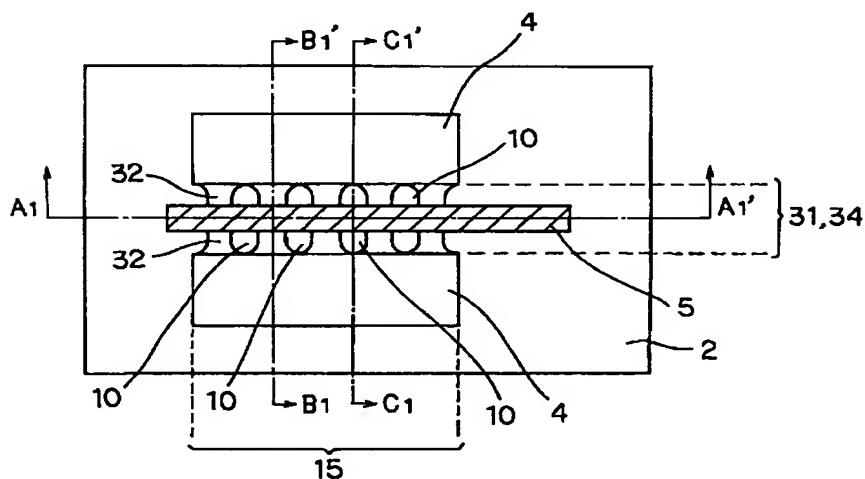
【図1】



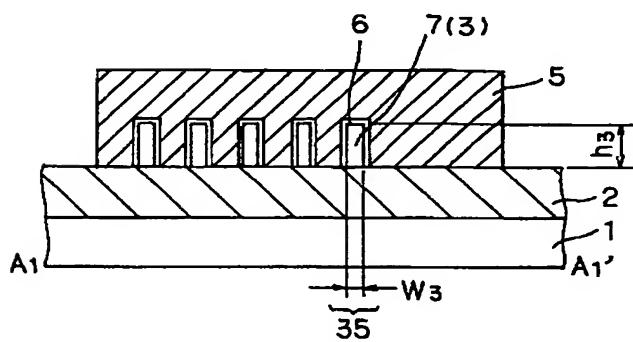
【図15】



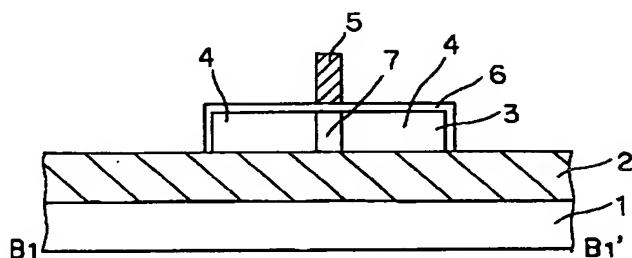
【図2】



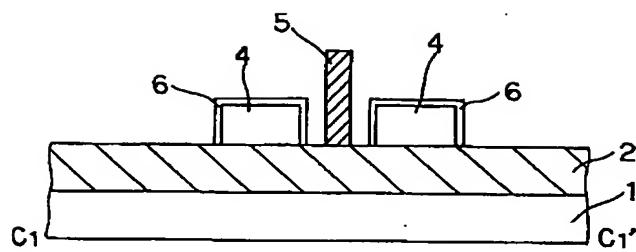
【図3】



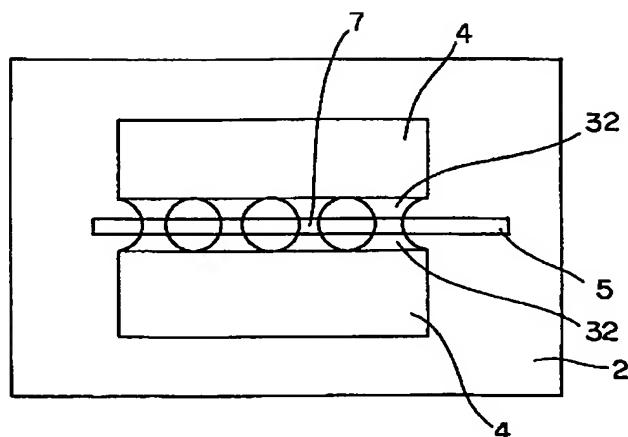
【図4】



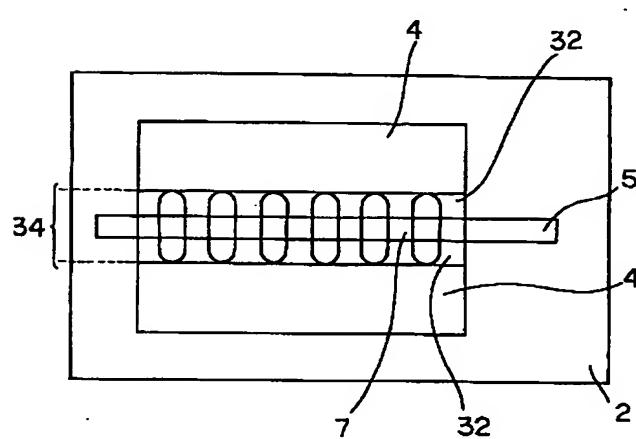
【図5】



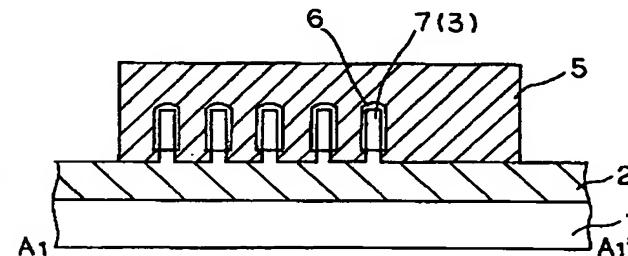
【図6】



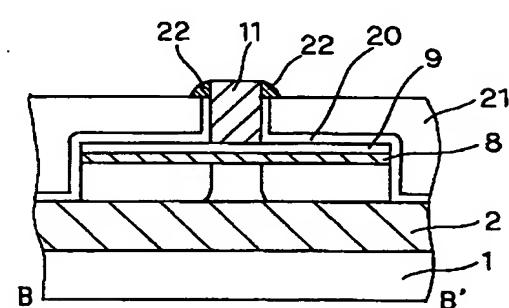
【図7】



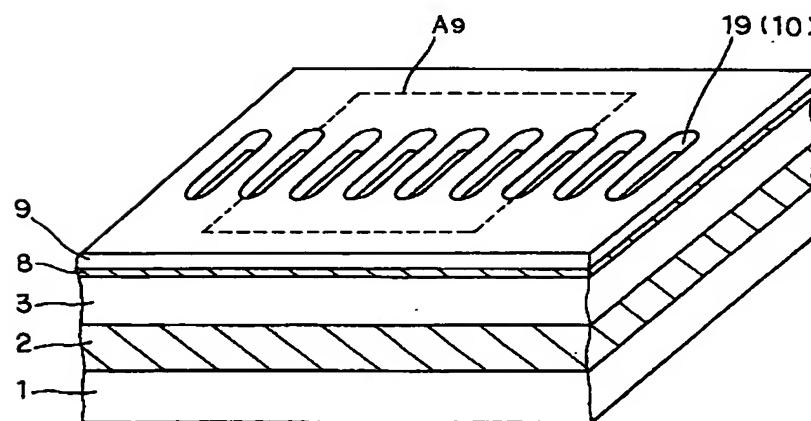
【図8】



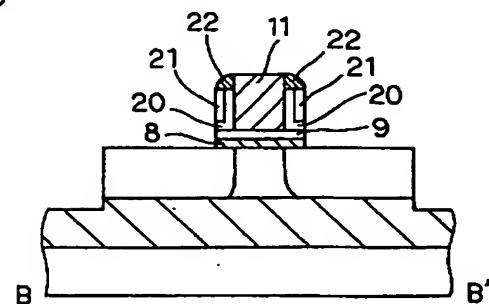
【図21】



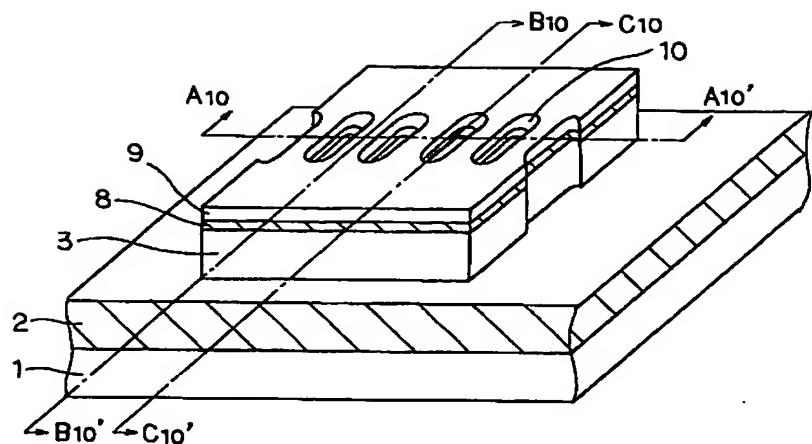
【図9】



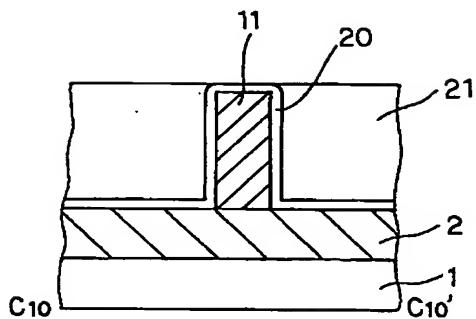
【図22】



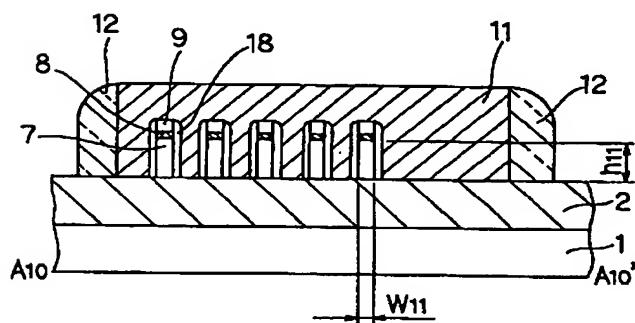
【図10】



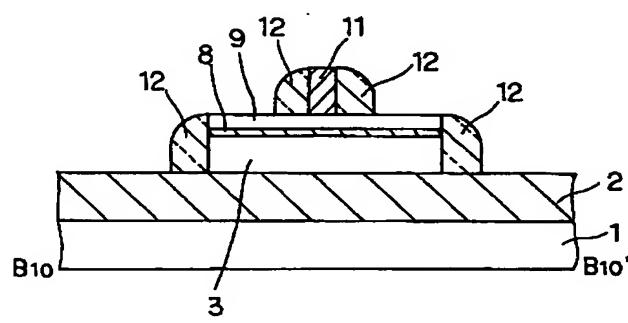
【図23】



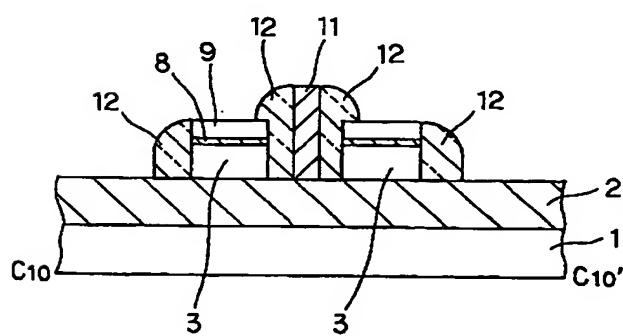
【图11】



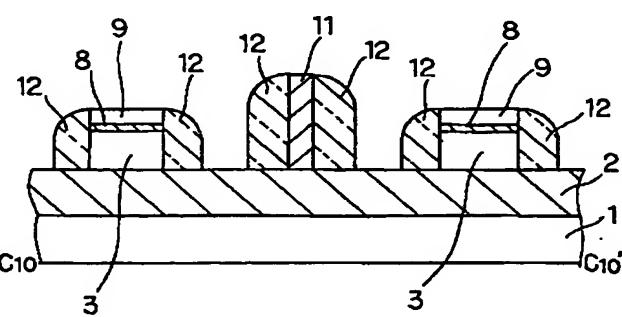
【図12】



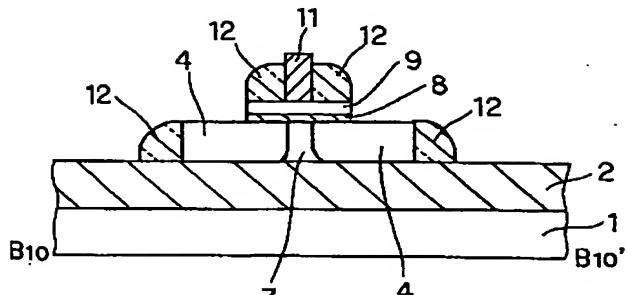
【図13】



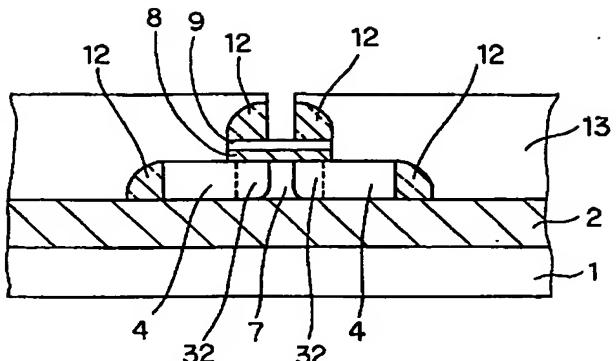
【图 14】



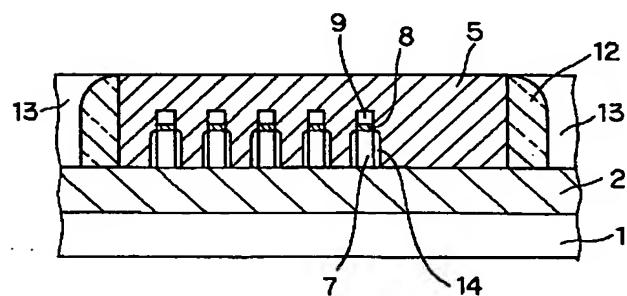
【図16】



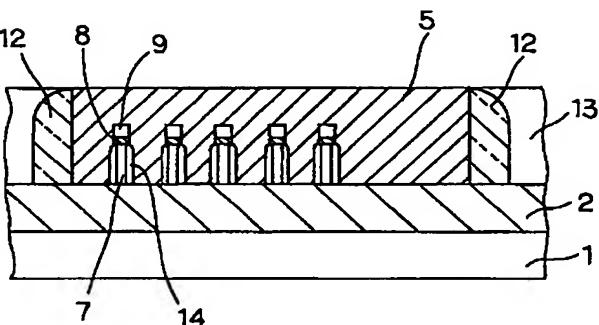
【図17】



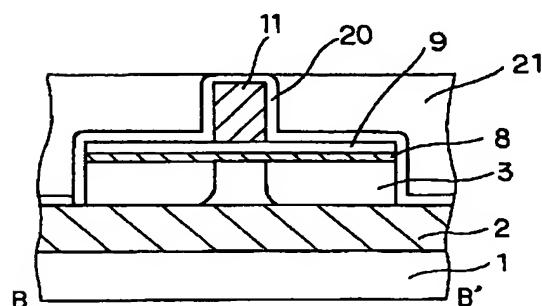
【図18】



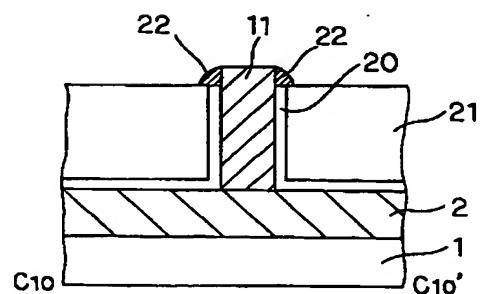
【図19】



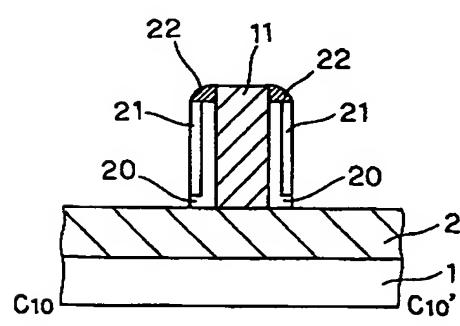
【図20】



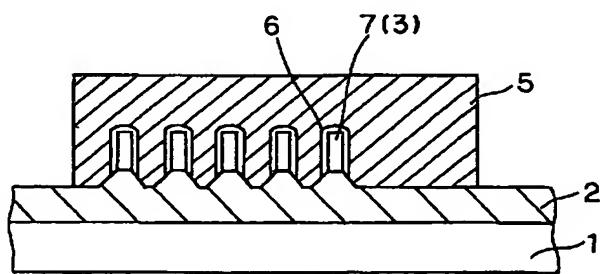
【図24】



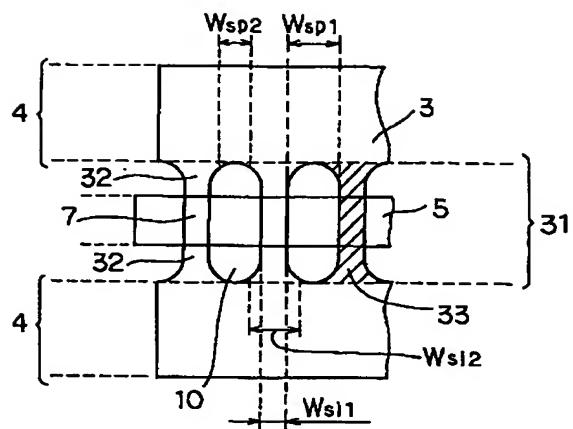
【図25】



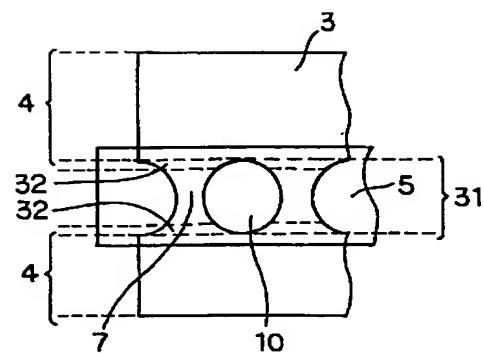
【図26】



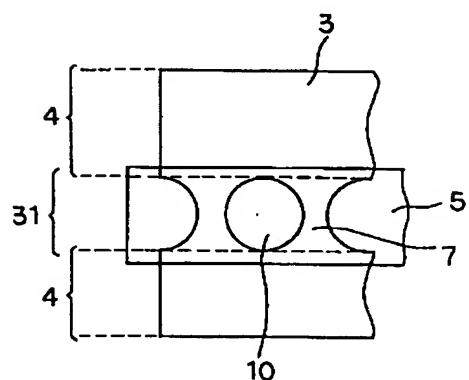
【図27】



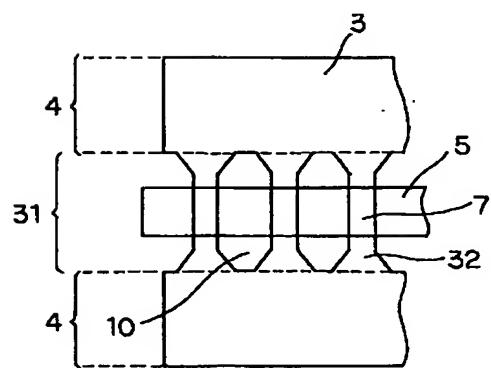
【図28】



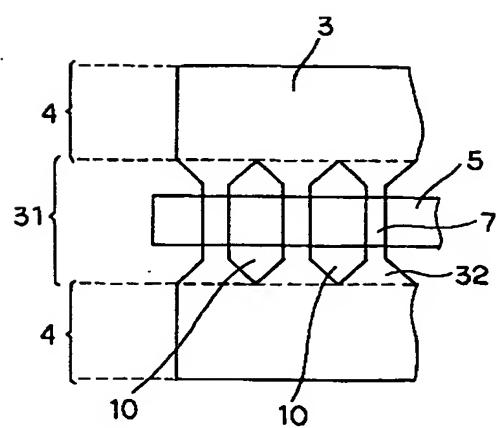
【図29】



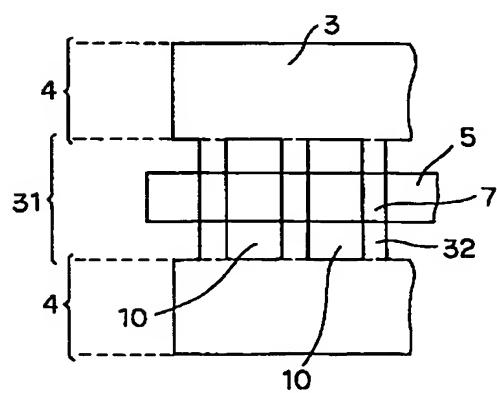
【図30】



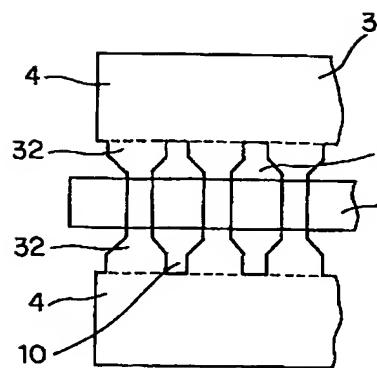
【図31】



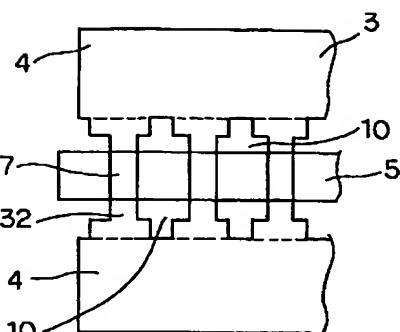
【図32】



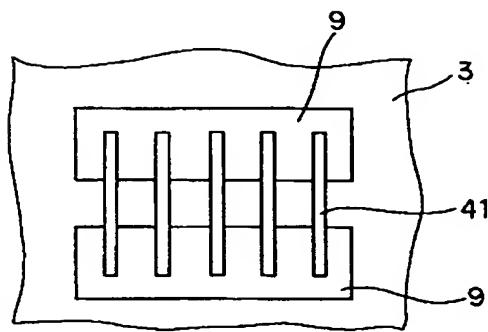
【図33】



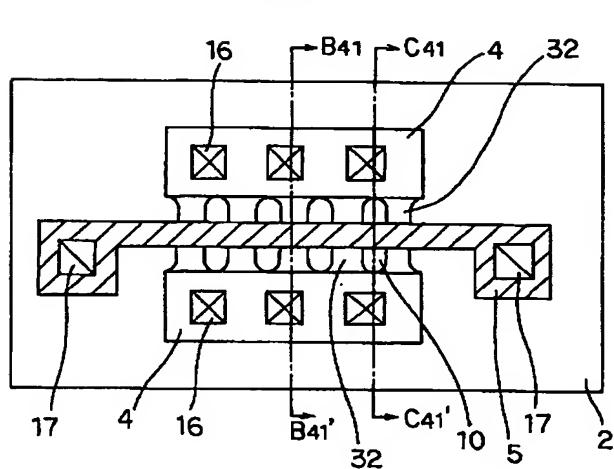
【図34】



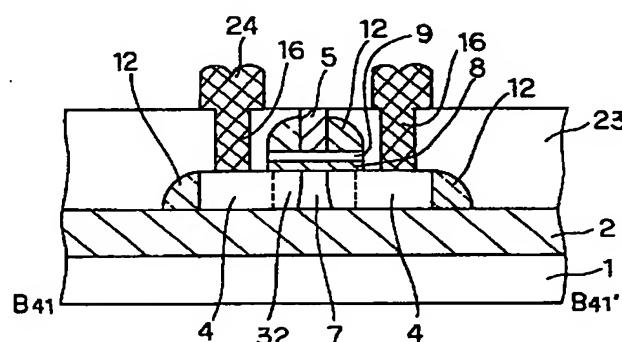
【図42】



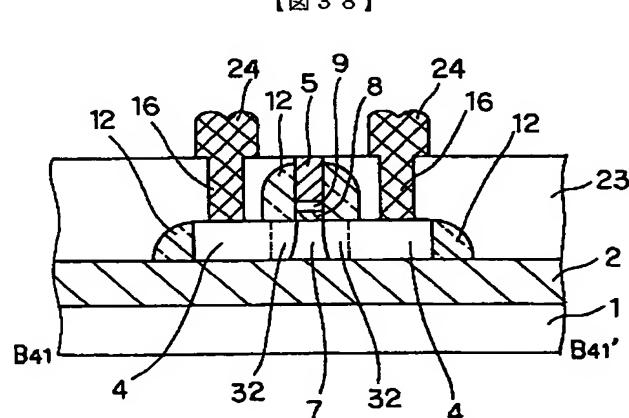
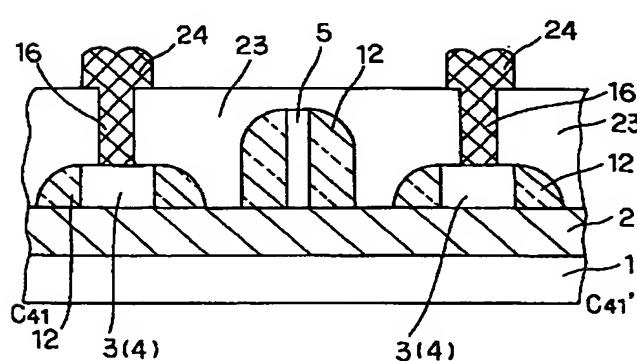
【図35】



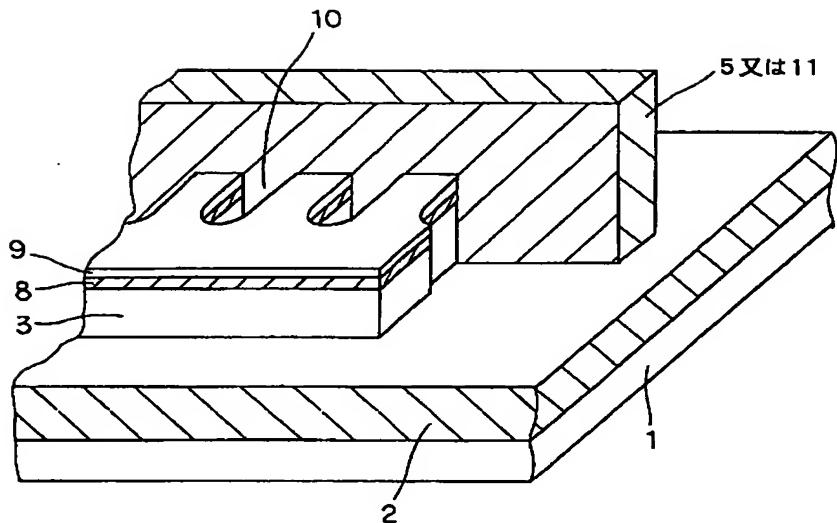
【図36】



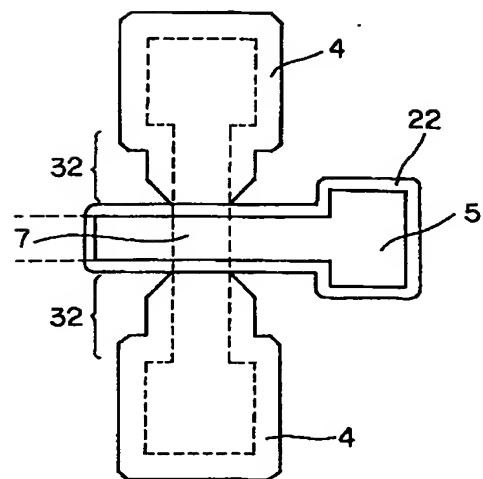
【図37】



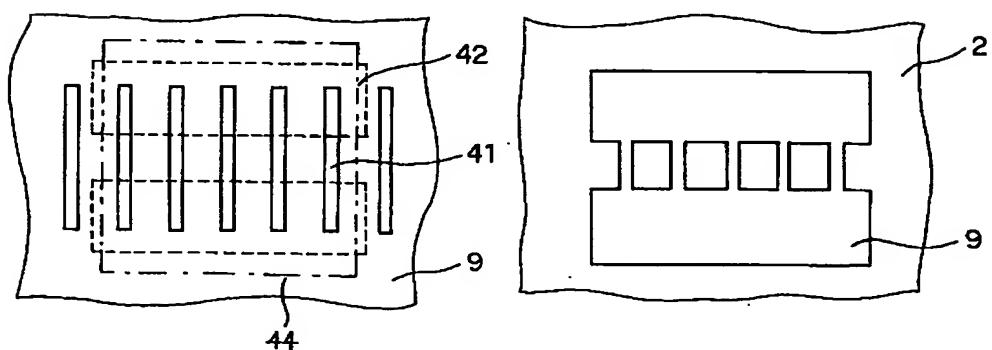
【図39】



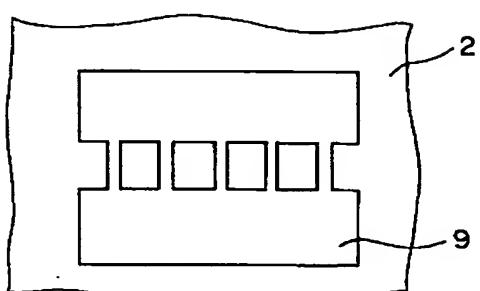
【図40】



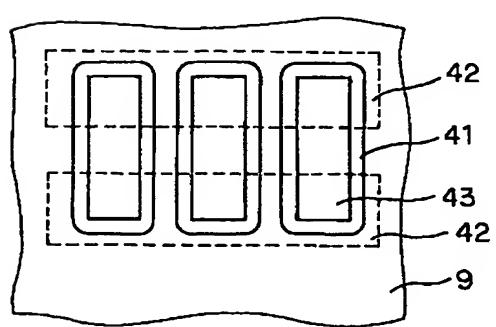
【図41】



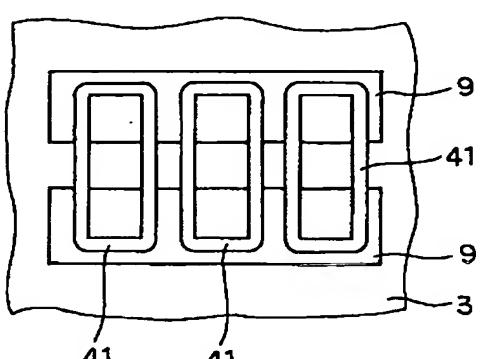
【図43】



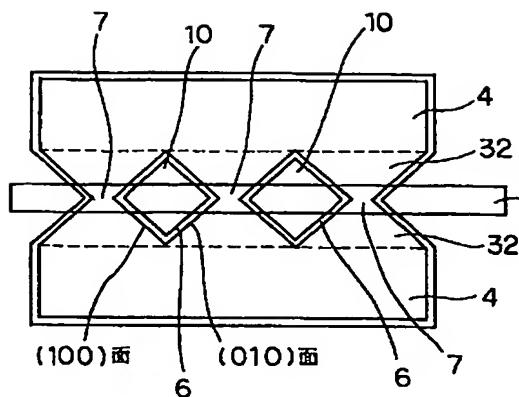
【図44】



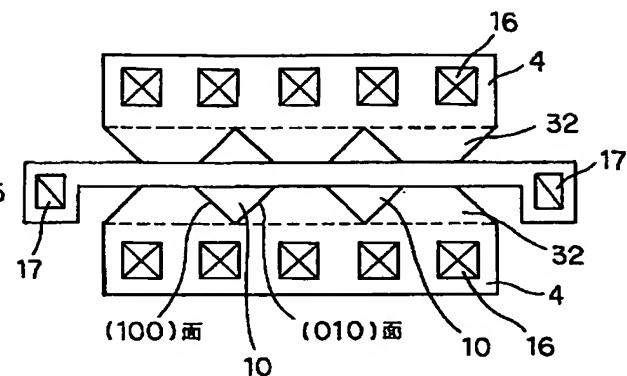
【図45】



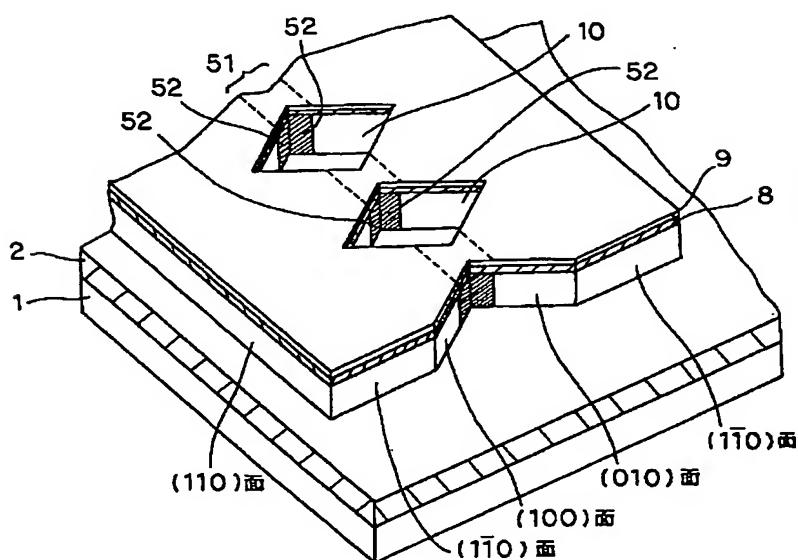
【図46】



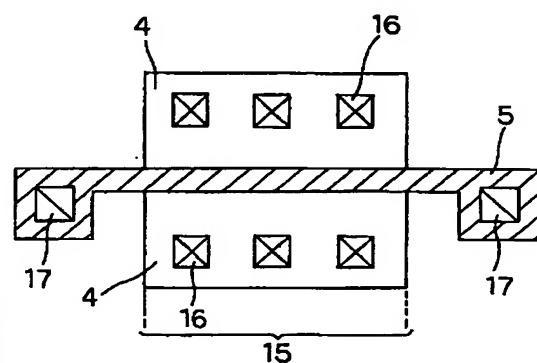
【図47】



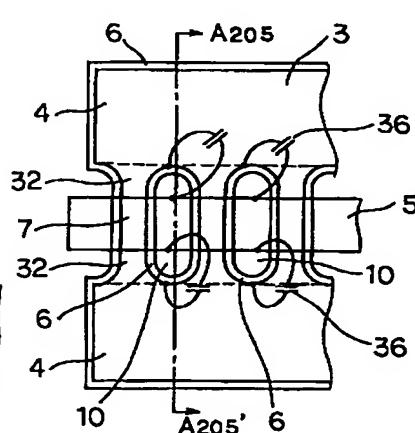
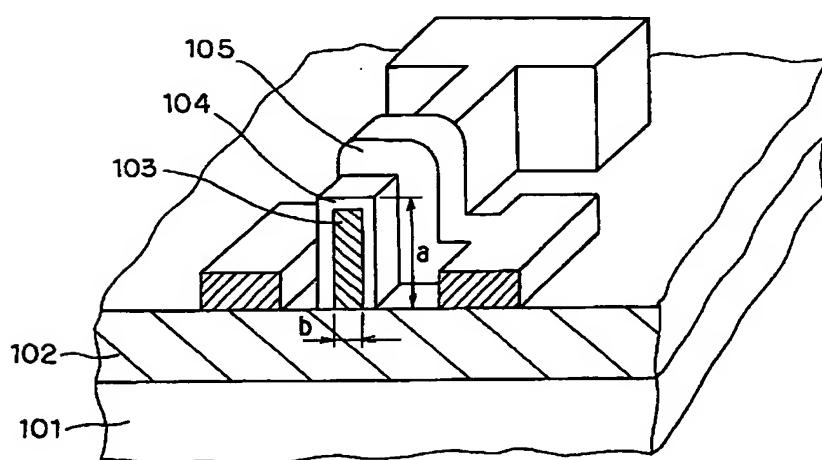
【図48】



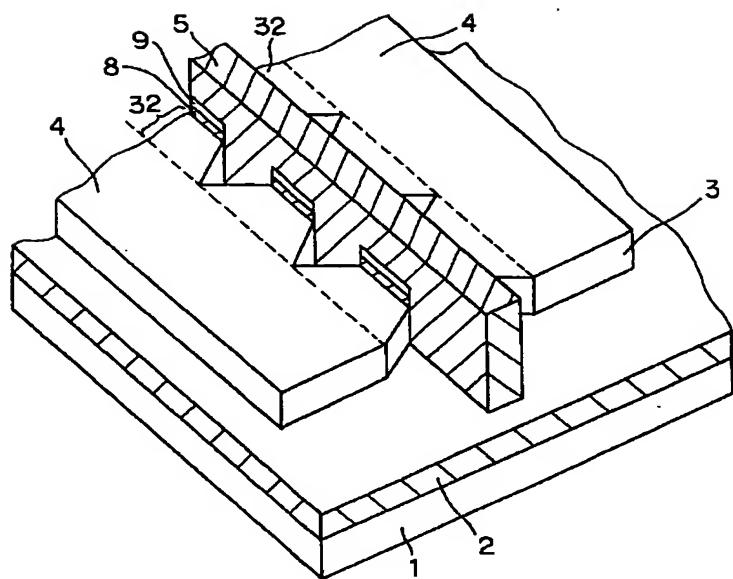
【図52】



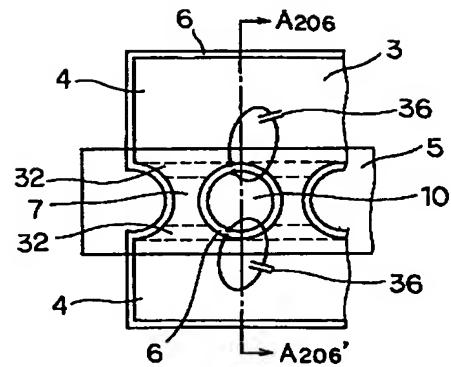
【図50】



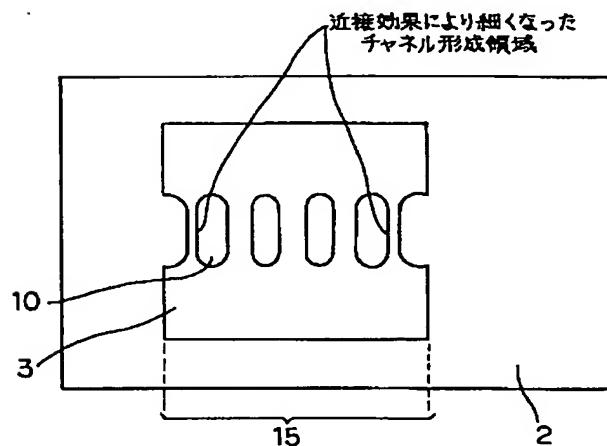
【図49】



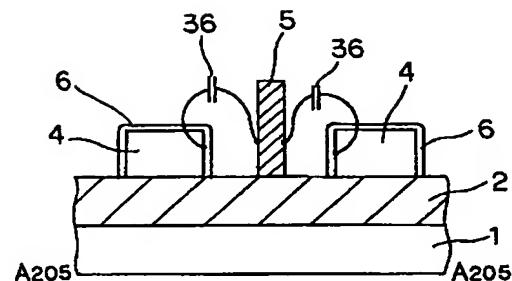
【図55】



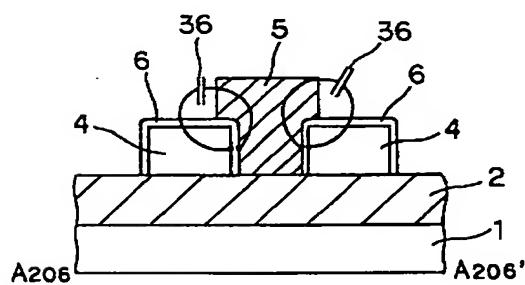
【図51】



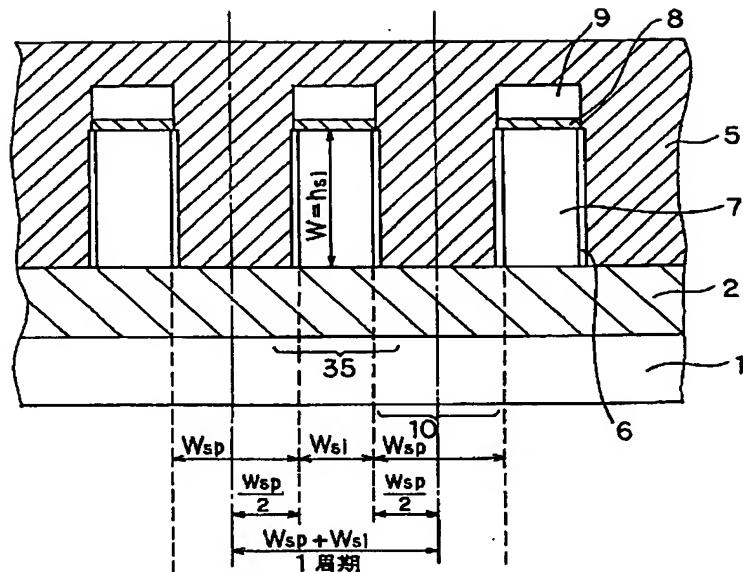
【図56】



【図57】



【図53】



フロントページの続き

F ターム(参考) 4M104 AA10 BB01 BB02 BB16 BB17
 BB18 BB19 BB22 BB30 BB33
 BB40 CC05 DD08 DD15 DD16
 DD17 DD37 DD43 DD84 DD92
 EE05 EE09 EE17 FF01 FF06
 FF11 GG09 GG10 GG14 HH14
 5F110 AA16 AA30 BB04 CC02 DD04
 DD05 DD12 DD13 DD14 EE01
 EE04 EE05 EE08 EE09 EE32
 EE44 FF02 FF23 FF29 GG02
 GG12 GG23 GG24 GG28 GG30
 GG32 GG34 GG35 GG58 HJ01
 HJ04 HJ16 HK05 HK08 HK13
 HK40 PP01 PP03 PP08 QQ17
 QQ19